

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-328396

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	9/80	B 7916-5C		
	5/782	K 7916-5C		
	5/92	H 8324-5C		

審査請求 未請求 請求項の数10(全 16 頁)

(21)出願番号 特願平4-127112

(22)出願日 平成4年(1992)5月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 坪井 幸利

横浜市戸塚区吉田町292番地株式会社日立
製作所映像メディア研究所内

(72)発明者 奥 万寿男

横浜市戸塚区吉田町292番地株式会社日立
製作所映像メディア研究所内

(72)発明者 高橋 将

横浜市戸塚区吉田町292番地株式会社日立
製作所映像メディア研究所内

(74)代理人 弁理士 小川 勝男

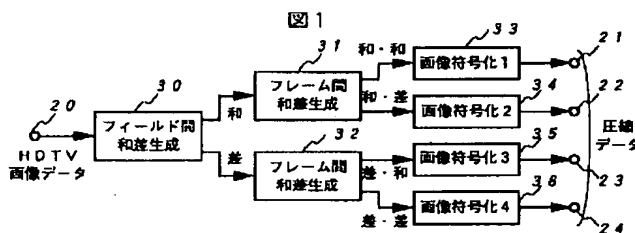
最終頁に続く

(54)【発明の名称】 画像符号化装置

(57)【要約】

【目的】本発明の目的は高精細TVの映像信号をデータ圧縮して磁気テープに記録するデジタルVTRを廉価に実現することにある。また、現行TVと高精細TVの映像信号を切り換え可能なデジタルVTRを廉価に実現することにある。

【構成】高精細TVの映像信号をデータ圧縮する画像符号化回路の前に、オフセットサンプリング、フィールド間和差生成、フレーム間和差生成の3種類の中から2種類以上を組み合わせた処理を行なう前処理回路を設けることで、現行TVの映像信号用に設計された廉価な画像符号化回路の流用を可能とする。さらに、現行TV用の画像符号化回路の前に、高精細TVの前処理済み信号か現行TV信号のどちらかを選択する信号切換え回路を設けることで、現行TVと高精細TVの両方への対応を可能とする。



【特許請求の範囲】

【請求項 1】映像信号を磁気テープに記録するデジタル V T R 等において映像信号のデータ圧縮を行なう画像符号化装置で、映像信号に対して、格子状から五の目状の標準化構造に変換して画素数を半分に削減するオフセットサンプリング、フィールド間で隣接する画素単位の和と差をとりフィールド間和信号とフィールド間差信号を生成するフィールド間和差生成、およびフレーム間に対応する画素単位の和と差をとりフレーム間和信号とフレーム間差信号を生成するフレーム間和差生成の 3 種類の処理の中から、少なくとも 2 種類を組み合わせた処理を行なう前処理手段と、前記前処理手段で生成された複数種類の前処理済み信号をデータ圧縮する複数個の画像符号化手段を備えることを特徴とする画像符号化装置。

【請求項 2】請求項 1 に記載の画像符号化装置において、前記前処理手段が、フィールド間和差生成とフレーム間和差生成の処理を行ない、4 種類の前処理済み信号を生成するものであることを特徴とする画像符号化装置。

【請求項 3】請求項 1 に記載の画像符号化装置において、前記前処理手段が、オフセットサンプリングとフィールド間和差生成、フレーム間和差生成の全ての処理を行ない、4 種類の前処理済み信号を生成するものであることを特徴とする画像符号化装置。

【請求項 4】請求項 3 に記載の画像符号化装置において、前記前処理手段で生成された 4 種類の前処理済み信号を多重した 2 種類の多重信号をデータ圧縮する、2 個の画像符号化手段を備えることを特徴とする画像符号化装置。

【請求項 5】請求項 1 に記載の画像符号化装置において、さらに、前記前処理手段で生成された複数種類の前処理済み信号に対する割り当て情報量を決定する情報量割り当て手段を備え、前記複数の画像符号化手段は、各前処理済み信号を該情報量割り当て手段から与えられる割り当て情報量に従いデータ圧縮することを特徴とする画像符号化装置。

【請求項 6】解像度が異なる複数種類の映像信号を磁気テープに記録するデジタル V T R 等において映像信号のデータ圧縮を行なう画像符号化装置で、解像度が高い第 1 の映像信号に対して、オフセットサンプリング、フィールド間和差生成、およびフレーム間和差生成の 3 種類の処理の中から、少なくとも 2 種類を組み合わせた処理を行なう前処理手段と、前記前処理手段で生成された複数種類の前処理済み信号をデータ圧縮する複数個の画像符号化手段とを設け、さらに特定の 1 個の画像符号化手段の前に、解像度が高い第 1 の映像信号を前記前処理手段で処理した前処理済み信号と、解像度が低い第 2 の映像信号を切り換える信号切換え手段を設けたことを特徴とする画像符号化装置。

【請求項 7】請求項 6 に記載の画像符号化装置におい

て、前記前処理手段が、第 1 の映像信号に対してフィールド間和差生成とフレーム間和差生成の処理を行ない、4 種類の前処理済み信号を生成するものであることを特徴とする画像符号化装置。

【請求項 8】請求項 6 に記載の画像符号化装置において、前記前処理手段が、第 1 の映像信号に対してオフセットサンプリングとフィールド間和差生成、フレーム間和差生成の全ての処理を行ない、4 種類の前処理済み信号を生成するものであることを特徴とする画像符号化装置。

【請求項 9】請求項 8 に記載の画像符号化装置において、前記前処理手段で第 1 の映像信号から生成された 4 種類の前処理済み信号を多重した 2 種類の多重信号をデータ圧縮する、2 個の画像符号化手段を備えることを特徴とする画像符号化装置。

【請求項 10】請求項 6 に記載の画像符号化装置において、さらに、前記前処理手段で生成された複数種類の前処理済み信号に対する割り当て情報量を決定する情報量割り当て手段を備え、前記複数の画像符号化手段は、各前処理済み信号を前記情報量割り当て手段から与えられる割り当て情報量に従いデータ圧縮することを特徴とする画像符号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、映像信号を磁気テープにデジタル記録するデジタル V T R 等に用いられる画像符号化装置に係り、特に高精細な映像信号をデータ圧縮して記録するに好適な画像符号化装置に関する。

【0002】

【従来の技術】映像信号をデータ圧縮して磁気テープに記録するデジタル V T R としては、例えばアイ・イー・イー・イー トランザクションズ オン コンシューマーエレクトロニクスの第 35 巻第 3 号（1989 年 8 月号）第 450 頁から第 457 頁（IEEE Transactions on Consumer Electronics, Vol. 35, No. 3 (August 1989), pp. 450-457）に記載のものが知られている。

【0003】このデジタル V T R は、現行 TV 信号、すなわちフレーム内全垂直ライン数が 525 本でフレーム周波数が 29.97 フレーム／秒の映像信号をデータ圧縮して磁気テープに記録する、および記録されたデータを再生してデータ伸長を行ない映像信号を出力するものである。磁気テープに記録されるフレーム内有効画素数は 720×480 画素であり、1 秒間に処理する必要がある画素数（以下、画素レートと呼ぶ）は約 10M 画素／秒である。

【0004】まず、映像信号の記録に際しては、入力映像信号を A/D 変換によりアナログ信号からデジタルの画像データに変換し、その画像データをディスクリートコサイン変換（DCT）、量子化、および可変長符号化から成る画像符号化処理によりデータ圧縮し、さらに

誤り訂正符号を付加した後に、データを変調して記録信号に直して磁気テープに記録する。回転ヘッドが磁気テープをヘリカルスキャンすることで、磁気テープ上に斜めに形成されるトラックに沿って信号は記録されていく。

【0005】また、映像信号の再生に際しては、磁気テープから再生した再生信号を復調して記録されたデータを復元し、付加された誤り訂正符号を利用して誤りの検出と誤り発生時の誤り修正を行ない、可変長復号化、逆量子化、および逆ディスクリットコサイン変換から成る画像復号化処理によりデータ伸長を行なって画像データを生成した後に、そのデジタルの画像データをD/A変換によりアナログ信号の映像信号に変換して出力するものである。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来技術は現行TV信号をデータ圧縮して磁気テープに記録再生するものであり、もっと高解像度の高精細TV信号（以下、HDTV信号と呼ぶ）の記録再生には対応していない。

【0007】HDTV信号は、例えばフレーム内全垂直ライン数が1125本でフレーム周波数が30フレーム／秒であり、現行TV信号に対して、フレーム周波数はほぼ同じであるがフレーム内全垂直ライン数は2倍以上である。そして、代表的な例ではフレーム内有効画素数は 1152×1040 画素であり、現行TV信号に対して、画素レートは約35M画素／秒と約4倍である。

【0008】したがって、上記従来技術をそのままHDTV信号に対応させようとすると、画像符号化の処理回路の動作速度を約4倍に上げなければならない。そのため、現行TV信号の画素レートで動作する比較的廉価な処理回路を流用することはできず、HDTV信号の画素レートで高速動作する高価な専用の処理回路を用いる必要がある。

【0009】本発明の目的は、上記課題を解決し、現行TV信号用の画像符号化の処理回路を流用してHDTV信号をデータ圧縮する画像符号化の処理回路を構成することで、HDTV信号を記録再生する高画質なデジタルVTRを廉価に実現することにある。また、本発明の他の目的は、HDTV信号と現行TV信号の両方の記録再生が行なえる高画質なデジタルVTRを廉価に実現することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために本発明は、HDTV信号に対して、画素単位でフィールド間の和と差をとるフィールド間和差生成、画素単位でフレーム間の和と差をとるフレーム間和差生成、および格子状から五の目状の標本化パターンに変換することで画素数を半分に減らすオフセットサンプリングの中から、少なくとも2種類の処理を組み合わせた処理を行な

う前処理回路と、生成された複数種類の前処理済み信号をデータ圧縮する複数個の画像符号化回路を設け、その中の少なくとも1個には現行TV信号用の画像符号化の処理回路を流用することで、HDTV信号の記録再生を行なうデジタルVTRを構成したものである。

【0011】また、上記他の目的を達成するために本発明は、HDTV信号に対して、フィールド間和差生成、フレーム間和差生成、およびオフセットサンプリングの中から、少なくとも2種類の処理を組み合わせた処理を行なう前処理回路と、生成された複数種類の前処理済み信号をデータ圧縮する複数個の画像符号化回路を設け、その中の少なくとも1個には現行TV信号用の画像符号化の処理回路を流用し、さらに、特定の1個の処理回路の前に、HDTV信号を記録する場合には前処理済み信号を、現行TV信号を記録する場合にはその現行TV信号そのものを選択する信号切換え回路を設けることで、現行TV信号とHDTV信号を切り換えて記録再生を行なうデジタルVTRを構成したものである。

【0012】

【作用】画素単位でフィールド間の和と差をとるフィールド間和差生成の処理では、フィールド間和信号とフィールド間差信号の2種類の信号が生成され、それぞれの信号の1フレームの画素数は元の信号の $1/2$ 倍となる。また、画素単位でフレーム間の和と差をとるフレーム間和差生成の処理では、フレーム間和信号とフレーム間差信号の2種類の信号が生成され、それぞれの信号のフレーム周波数は元の信号の $1/2$ 倍となる。これらは非常に簡単な処理であるが、画質の劣化は発生しない。また、格子状から五の目状の標本化パターンに変換することで画素数を半分に減らすオフセットサンプリングの処理では、処理後のオフセット標本化信号の1フレームの画素数は元の信号の $1/2$ 倍となる。これも簡単な処理であるが、信号の高周波成分の一部が削られることによる画質の劣化は軽微なものである。

【0013】前処理回路は、以上の3種類の処理の中から2種類、または3種類全ての処理が組み合わされた処理を行なうので、その前処理回路で生成された複数種類の前処理済み信号の画素レートは、いずれも元のHDTV信号の $1/4$ 倍、または $1/8$ 倍となる。これにより、前処理済み信号の画素レートは現行TV信号の画素レートとほぼ等しくなるか、または約 $1/2$ 倍となる。また、以上の前処理により生成される前処理済み信号は、元のHDTV信号よりもデータ圧縮しやすいものとなるので、画像符号化回路でのデータ圧縮率が上がる。

【0014】したがって、前処理済み信号の画素レートが元のHDTV信号の $1/4$ 倍である場合には、いずれか1種類の信号を現行TV信号用の画像符号化の処理回路でデータ圧縮することが可能となる。また、前処理済み信号の画素レートが元のHDTV信号の $1/8$ 倍である場合には、いずれか2種類の信号を合わせて現行TV

信号用の画像符号化の処理回路でデータ圧縮することが可能となる。他の前処理済み信号は、同様に現行TV用の画像符号化の処理回路、あるいは専用に設計された別の画像符号化回路でデータ圧縮される。

【0015】また、現行TV用の画像符号化の処理回路の前に、HDTV信号を記録する場合には前処理済み信号を、現行TV信号を記録する場合にはその現行TV信号そのものを選択する信号切換え手段を設ければ、容易にHDTV信号と現行TV信号を切り換えて記録再生を実現することができる。

【0016】

【実施例】まず、本発明の第一の実施例を図面を用いて詳細に説明する。

【0017】図7は本発明のデジタルVTRの全体構成を示すブロック図である。図7において、1は入力映像信号の入力端子、2は記録系回路、3は記録ヘッド、4は磁気テープ、5は再生ヘッド、6は再生系回路、7は出力映像信号の出力端子である。記録系回路2は、A/D変換回路10、動画像圧縮回路11、訂正符号付加回路12、変調回路13、および記録アンプ14から構成される。また、再生系回路6は、再生アンプ15、復調回路16、誤り訂正回路17、動画像伸長回路18、およびD/A変換回路19から構成される。

【0018】最初に、図7に示すデジタルVTRの映像記録時の動作を説明する。まず、高精細TV(HDTV)方式の映像信号が入力端子1から記録系回路2に入力される。A/D変換回路10は44.55MHzのサンプリング周波数でアナログの映像信号を標本化し、デジタルの画像データを生成する。1フレームの有効画素数は1152×1040画素である。動画像圧縮回路11はA/D変換回路10で生成された画像データをデータ圧縮して圧縮データを生成する。ただし、1フレーム単位で圧縮データ量が一定になるように制御が行なわれる。

【0019】訂正符号付加回路12は、動画像圧縮回路11でデータ圧縮された後の圧縮データに対して、リード・ソロモン積符号によるパリティ符号を付加し磁気テープ上に記録するデータを出力する。1トラックに記録される圧縮データが二次元の配列構造に並べられた後に、リード・ソロモン符号化により縦方向に関して外符号パリティが、さらに横方向に関して内符号パリティが付加される。圧縮データ(あるいは外符号パリティ)とそれに付加された内符号パリティに対して、SYNCデータとIDデータが先頭に付加され同期ブロックが構成される。同期ブロックは、磁気テープに対するデータの記録再生の基本単位である。SYNCデータは、磁気テープから同期ブロック単位でデータを読み出す際に、再生の同期をとるための特殊なビットパターンである。また、IDデータは同期ブロックの番号などを示す属性データである。

【0020】変調回路13は、誤り訂正符号が付加された圧縮データを磁気テープに対する記録再生に適した信号形式に変換し、記録アンプ14は、その記録信号を増幅して磁気ヘッド3に供給する。以上の記録系回路2の処理により、入力端子1に順次入力された映像信号が磁気テープ4に順次記録されることになる。現行のアナログVTRと同様に、テープ走行方向に対して傾いて配置された回転シリンダに埋め込まれた磁気ヘッド3により、回転シリンダに巻き付けられた磁気テープに対して磁気ヘッドがヘリカルスキャンを行ないデータ記録を行なう。したがって、磁気テープ上に所定の傾きを持ったトラック単位でデータは記録されることになる。

【0021】次に、映像再生時の動作を説明する。まず、磁気ヘッド5で磁気テープ4に記録されている記録信号が再生され再生系回路6に入力される。再生アンプ15はその再生した信号を増幅する。復調回路16は、磁気テープの記録再生特性を補償する波形等化処理を行なった後に、0と1のデジタル信号への復調処理を行なう。誤り訂正回路17は、復調されたデジタル信号から、同期ブロックの先頭に付加されている特殊なビットパターンであるSYNCデータを検出することで、同期ブロック単位でデータを再現し、付加されているパリティ符号を利用して誤り検出と誤り訂正を行ない圧縮データとして出力する。

【0022】動画像伸長回路18は、再生された圧縮データのデータ伸長を行ない、画像データを再現する。ただし、誤り訂正回路17で訂正できなかった誤りが存在する場合には、誤った圧縮データの復号は行なわずに、1フレーム前における同画面位置の画像データで置き換える。このコンシール処理により、圧縮データに誤りが残っている場合でも、再生された映像に画質の面で大きな破綻が生じないようにすることができる。このようにして再現されたデジタルの画像データは、D/A変換回路19でアナログの映像信号に変換された後に、出力端子8からHDTV方式の映像信号として出力される。

【0023】図1は、本発明の第一の実施例である図7に示したデジタルVTRの動画像圧縮回路11の詳細ブロック図である。なお、この動画像圧縮回路11の逆の処理を行なう動画像伸長回路18の構成と動作は、図1に示す動画像圧縮回路11の構成と動作から明らかであるので、説明を省略する。図1に示す動画像圧縮回路11において、20はHDTV信号の画像データの入力端子、21~24は4種類の圧縮データの出力端子、30はフィールド間和差生成回路、31・32はフレーム間和差生成回路、33~36は4種類の画像符号化回路である。

【0024】フィールド間和差生成回路30は、入力端子20から入力されるHDTV信号の画像データに対して、隣合う2フィールドの間でフィールド間の和と差をとり、フィールド間和信号とフィールド間差信号を生成

し出力する。図2にこの処理の様子を示す。入力信号のHDTV信号の画像データは、図2の左に図示されるように、画素が格子状に配置されて1フレームが構成されている。ただし、フレームに対して垂直ライン数が半分のフィールド2枚が、垂直方向にオフセットがついて重なり合って、1フレームが構成されている。実線で示したのが奇数フィールドを構成するラインであり、その画素が丸印で示されている。また、破線で示したのが偶数フィールドを構成するラインであり、その画素が三角印で示されている。隣合う偶数フィールドと奇数フィールドとは1/60秒だけずれた時刻での画像である。フィールド間和差生成回路30では、垂直方向で隣合う奇数フィールドの画素と偶数フィールドの画素との間で、画像データの値の加算を行ない、図2の右上に図示されるフィールド間和信号を生成する。白丸で示したのが和信号の画素である。また、同様に画像データの値の減算を行ない、図2の右下に図示されるフィールド間差信号を生成する。黒丸で示したのが差信号の画素である。フィールド間和差生成回路30の出力信号はそれぞれ、入力信号とフレーム周波数は変わらないが1フレームの画素数は1/2倍に低減されたものとなる。

【0025】フレーム間和差生成回路31は、フィールド間和差生成回路30の出力であるフィールド間和信号に対して、隣合う2フレームの間でフレーム間の和と差をとり、フレーム間和信号とフレーム間差信号を生成し出力する。図3にこの処理の様子を示す。入力されるフィールド間和信号は、図3の左に図示されるように、画素が格子状に配置されて1フレームが構成されている。実線で示したのがフレームを構成するラインであり、その画素が丸印で示されている。隣合う奇数フレームと偶数フレームとは1/30秒だけずれた時刻での画像である。フレーム間和差生成回路31では、時間方向で隣合う奇数フレームの画素と偶数フレームの画素との間で、画像データの値の加算を行ない、図3の右上に図示されるフレーム間和信号を生成する。白丸で示したのが和信号の画素である。また、同様に画像データの値の減算を行ない、図3の右下に図示されるフレーム間差信号を生成する。黒丸で示したのが差信号の画素である。フレーム間和差生成回路31の出力信号はそれぞれ、入力信号と1フレームの画素数は変わらないがフレーム周波数は1/2倍に低減されたものとなる。したがって、元のHDTV信号と比べると、フレーム周波数も1フレームの画素数も共に1/2倍に低減されたものとなる。

【0026】フレーム間和差生成回路32の動作はフレーム間和差生成回路31の動作と同じであるが、フィールド間和差生成回路30の出力であるフィールド間差信号に対してフレーム間の和と差を生成して、フレーム間和信号とフレーム間差信号を出力する点が異なる。以下、フレーム間和差生成回路31の出力であるフレーム間和信号を「和・和」信号と、フレーム間差信号を「和

・差」信号と呼ぶ。また、フレーム間和差生成回路32の出力であるフレーム間和信号を「差・和」信号と、フレーム間差信号を「差・差」信号と呼ぶ。

【0027】以上の結果、4種類の前処理済み信号が元のHDTV信号から生成され、それぞれが画像符号化回路33～36でデータ圧縮されて、圧縮データが出力端子21～24から出力される。画像符号化回路33は「和・和」信号を、画像符号化回路34は「和・差」信号を、画像符号化回路35は「差・和」信号を、画像符号化回路36は「差・差」信号を処理する。各信号の画素レートはHDTV信号の画素レートの1/4倍となっているので、ほぼ現行TV信号の画素レートと等しい。画像符号化回路33～36はいずれも、現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な回路となっているので、上記の前処理済み信号を処理可能である。

【0028】図4は、画像符号化回路33の詳細ブロック図である。画像符号化回路34～36も、図4に示す画像符号化回路33と同じ構成である。図4に示す画像符号化回路33において、60は前処理済み信号である画像データの入力端子、61は圧縮データの出力端子、62はフレームメモリ、63はDCT回路、64は量子化回路、65は可変長符号化回路、66はバッファメモリ、67は量子化パラメータ生成回路である。所定サイズのブロック単位で、データ圧縮の処理が行なわれる。

【0029】入力端子60から入力された画像データは、フレームメモリ62に1フレーム分だけ蓄えられる。量子化パラメータ生成回路67は、入力された1フレームを構成する各ブロックのアクティビティを計算し、さらに総和をそのフレームのアクティビティとする。ここで、ブロックのアクティビティとは、そのブロックの画像内容に関して、絵柄が細かく情報量が大きいのか、あるいは絵柄が平坦で情報量が少ないかを示す指標であり、ブロックの画素値に対して所定の演算処理を行なうことで求められる。ある特定の量子化パラメータを設定した場合、アクティビティの値とデータ圧縮した後の圧縮データ量は統計的に強い相関があり、またある特定のアクティビティの値に対して、量子化パラメータとデータ圧縮した後の圧縮データ量は統計的に強い相関があるので、ある特定のアクティビティの値を持つブロックに関して、圧縮データ量を目標の値に制御するために必要な量子化パラメータが推定できる。ここで、量子化パラメータとは量子化の細かさを示すパラメータのことである。量子化パラメータ生成回路67は、1フレームの圧縮データの目標データ量を、フレームのアクティビティと各ブロックのアクティビティの値に応じて各ブロックに割り当て、各ブロックの量子化パラメータを決定した後に量子化回路64へ出力する。

【0030】一旦フレームメモリ62に保持された1フレームの画像データは、各ブロックに対する量子化パラ

メータが量子化パラメータ生成回路 67 で生成された後に、順次フレームメモリ 62 から出力される。そして、DCT 回路 63 は、画像データに対してブロック単位で二次元のディスクリットコサイン変換 (DCT) を行なう。DCT はフーリエ変換と同様に周波数解析を行なうものであり、DCT 後の変換係数は、ブロック内の画素平均値に対応する DC 係数と低周波から高周波までその空間周波数が異なる AC 係数とに分けられる。量子化回路 64 は、ブロック単位で設定された量子化パラメータに応じて、ブロックの変換係数を同一の量子化パラメータで量子化する。ただし、高周波の情報に対しては低周波の情報に対してよりもその検知感度が低いという人間の視覚特性を考慮して、ある特定の量子化パラメータが与えられた場合に、DCT 後の変換係数の低周波の AC 係数は相対的に細かく、高周波の AC 係数は相対的に粗く量子化を行なう。また、DC 係数の量子化の細かさは常に一定とする。

【0031】可変長符号化回路 65 では、量子化回路 64 で量子化された AC 係数を低周波から高周波に向けてスキャンして、0 の値を持つ係数の連続個数 (ラン長) と 0 以外の値を持つ係数のその値 (レベル) のペアを生成した後に、予め定められたハフマン符号化テーブルに従ってそのペアを可変長符号にハフマン符号化する。ラン長が短くレベルが小さいほどそのペアの発生確率が高いのでそれに対応した符号長は短く、またその反対の場合には符号長が長くなっている。ただし、DC 係数は AC 係数とは別に取り扱われ、固定長符号の割り当てが行なわれる。可変長符号化された圧縮データはバッファメモリ 66 に 1 フレーム分だけ蓄えられた後に、出力端子 66 から圧縮データとして出力される。ただし、バッファメモリ 66 には各ブロックの量子化パラメータも入力され、圧縮データに多重される。

【0032】次に、本発明の第 2 の実施例を説明する。図 5 は、本発明の第 2 の実施例であるデジタル VTR の動画像圧縮回路の詳細ブロック図である。デジタル VTR の全体構成は第 1 の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図 5 に示す動画像圧縮回路において、20 は HDTV 信号の画像データの入力端子、21・25 は 2 種類の圧縮データの出力端子、30 はフィールド間和差生成回路、31・32 はフレーム間和差生成回路、33 は第 1 の画像符号化回路、40 はデータ多重回路、37 は第 2 の画像符号化回路である。

【0033】フィールド間和差生成回路 30 とフレーム間和差生成回路 31・32 の動作は第 1 の実施例の場合と同じであり、入力端子 21 から入力される HDTV 信号の画像データに対して、フィールド間とフレーム間の和と差をとり、4 種類の前処理済み信号を生成し出力する。これらの出力信号の画素レートは元の HDTV 信号の 1/4 倍となっているので、ほぼ現行 TV 信号の画素

レートと等しい。フレーム間和差生成回路 31 の出力である「和・和」信号は、第 1 の画像符号化回路 33 でデータ圧縮される。この第 1 の画像符号化回路 33 の構成と動作は図 4 に示された第 1 の実施例の場合と同じであり、現行 TV 信号用の、すなわち現行 TV 信号の画素レートを処理可能な回路となっているので、「和・和」信号を処理可能である。

【0034】また、残りの「和・差」信号と「差・和」信号、「差・差」信号はデータ多重回路 40 においてフレーム単位で画像データが多重された後に、現行 TV 信号に対応した第 1 の画像符号化回路 33 とは別の第 2 の画像符号化回路 37 でデータ圧縮される。多重信号の画素レートは元の HDTV 信号の 3/4 倍であり現行 TV 信号の画素レートよりも高いため、この第 2 の画像符号化回路 33 はその高い画素レートを処理可能な回路となっている。ただし、もともと「和・和」信号と比べるとその他の信号の振幅は小さくデータ圧縮しやすいので、第 2 の画像符号化回路 37 の処理方式および構成は第 1 の画像符号化回路 33 よりも簡単なものであり、比較的廉価に実現されている。また、そのデータ圧縮率は第 1 の画像符号化回路 33 よりも高く設定されている。

【0035】次に、本発明の第 3 の実施例を説明する。図 6 は、本発明の第 3 の実施例であるデジタル VTR の動画像圧縮回路の詳細ブロック図である。デジタル VTR の全体構成は第 1 の実施例の場合と同じであるが、HDTV 信号の記録再生だけでなく現行 TV 信号の記録再生も実現している点が特徴である。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図 6 に示す動画像圧縮回路において、28 は HDTV 信号処理モードか現行 TV 信号処理モードかを示す動作モード信号の入力端子、29 は現行 TV 信号の画像データの入力端子、20 は HDTV 信号の画像データの入力端子、41 はデータ切換え回路であり、その他の符号は図 1 の動画像圧縮回路の場合と同じブロックを示す。データ切換え回路 41 は、フレーム間和差生成回路 31 と画像符号化回路 33 との間に設けられている。

【0036】HDTV 信号処理モードにおいて、フィールド間和差生成回路 30 とフレーム間和差生成回路 31・32 の動作は第 1 の実施例の場合と同じであり、入力端子 20 から入力される HDTV 信号の画像データから、4 種類の前処理済み信号を生成し出力する。このとき入力端子 28 から入力される動作モード信号は「1」であるので、「和・和」信号がデータ切換え回路 41 で選択されて画像符号化回路 33 に与えられデータ圧縮される。また、他の 3 種類の前処理済み信号はそれぞれ画像符号化回路 34~36 でデータ圧縮される。画像圧縮回路 33~36 の動作は第 1 の実施例の場合と同じである。ここで圧縮データは出力端子 21~24 から出力される。

【0037】現行TV信号処理モードにおいて、動作モード信号は「0」であるので、入力端子29から入力された現行TV信号がデータ切換回路41で選択されて画像符号化回路33に与えられデータ圧縮される。ただし、入力端子20からのHDTV信号の画像データの入力は存在しないので出力端子22～24からの圧縮データの出力はなく、圧縮データは出力端子21からのみ出力される。

【0038】HDTV信号の「和・和」信号と現行TV信号の画素レートはほぼ同じであるので、現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な画像符号化回路33を切換えて用いることができる。

【0039】次に本発明の第4の実施例を説明する。図8は、本発明の第4の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。デジタルVTRの全体構成は第1の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図8に示す動画像圧縮回路において、20はHDTV信号の画像データの入力端子、45と46は圧縮データの出力端子、50はフィールド間オフセットサンプリング回路、51はフィールド間和差生成回路、53と54は画像符号化回路である。

【0040】フィールド間オフセットサンプリング回路50は、入力端子20から入力されるHDTV信号の画像データに対して、2フィールドから成るフレームの格子状の標本化パターンが五の目状の標本化パターンになるように、画素を半分に間引く。図10にこの処理の様子を示す。入力されるHDTV信号の画像データは、図10の左に図示されるように、画素が格子状に配置されて1フレームが構成されている。フィールド間オフセットサンプリング回路50では、格子状の標本化パターンのフレームの画素を半分に間引いて、図10の右に図示されるように五の目状の標本化パターンの出力信号を生成する。実線と丸印で示された奇数フィールドと、破線と三角印で示された偶数フィールドの画素位置が、水平方向と垂直方向の両方にオフセットがついた状態となっている。この出力信号は、入力信号とフレーム周波数は変わらないが1フレームの画素数は1/2倍に低減されたものとなる。

【0041】フィールド間和差生成回路51は、フィールド間オフセットサンプリング回路50の出力信号に対して、隣合う2フィールドの間でフィールド間の和と差をとり、フィールド間和信号とフィールド間差信号を生成し出力する。図11にこの処理の様子を示す。入力信号は、図11の左に図示されるように、画素が五の目状に配置されて1フレームが構成されている。フィールド間和差生成回路51では、斜め方向で隣合う奇数フィールドの画素と偶数フィールドの画素との間で、画像データの値の加算を行ない、図11の右上に図示されるフィールド間和信号を生成する。白丸で示したのが和信号の

画素である。また、同様に画像データの値の減算を行ない、図11の右下に図示されるフィールド間差信号を生成する。黒丸で示したのが差信号の画素である。フィールド間和差生成回路51の出力信号はそれぞれ、入力信号とフレーム周波数は変わらないが1フレームの画素数は1/2倍に低減されたものとなる。したがって、元のHDTV信号と比べると、1フレーム画素数は1/4倍に低減されたものとなる。

【0042】以上の結果、2種類の前処理済み信号が元のHDTV信号から生成され、それぞれが画像符号化回路53・54でデータ圧縮される。画像符号化回路53はフィールド間和信号を、画像符号化回路54はフィールド間差信号を処理する。各信号の画素レートはHDTV信号の画素レートの1/4倍となっているので、ほぼ現行TV信号の画素レートと等しい。画像符号化回路53・54の構成と動作は第1の実施例における画像符号化回路33の場合と同じであり、いずれも現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な回路となっているので、上記のフィールド間和信号とフィールド間差信号を処理可能である。

【0043】次に、本発明の第5の実施例を説明する。図9は、本発明の第5の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。デジタルVTRの全体構成は第1の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図9に示す動画像圧縮回路において、52はフレーム間オフセットサンプリング回路、その他の符号は図8の動画像圧縮回路の場合と同じブロックを示す。フレーム間オフセットサンプリング回路52が、フィールド間オフセットサンプリング回路50の代わりに設けられている。

【0044】フレーム間オフセットサンプリング回路52は、入力端子20から入力されるHDTV信号の画像データに対して、2フレーム単位で画素を水平方向に半分に間引く。図12にこの処理の様子を示す。入力されるHDTV信号の画像データは、図12の左に図示されるように、画素が格子状に配置されて奇数フレームと偶数フレームが構成されている。フレーム間オフセットサンプリング回路52では、格子状の標本化パターンのフレームの画素を水平方向に半分に間引いて、図12の右に図示されるように格子状の標本化パターンの出力信号を生成する。ただし、奇数フレームと偶数フレームの画素位置が、水平方向にオフセットがついた状態となっている。この出力信号は、入力信号とフレーム周波数は変わらないが1フレームの画素数は1/2倍に低減されたものとなる。

【0045】フィールド間和差生成回路51の動作は第4の実施例の場合と同様であり、フィールド間和信号とフィールド間差信号が生成されて、それぞれが画像符号化回路53と54でデータ圧縮される。各信号の画素レ

ートはHDTV信号の画素レートの $1/4$ 倍となっているので、ほぼ現行TV信号の画素レートと等しい。画像符号化回路53と54の構成と動作は第4の実施例の場合と同じであり、いずれも現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な回路となっているので、上記のフィールド間和信号とフィールド間差信号を処理可能である。

【0046】次に、本発明の第6の実施例を説明する。図13は、本発明の第6の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。デジタルVTRの全体構成は第4の実施例の場合と同じであるが、HDTV信号の記録再生だけでなく現行TV信号の記録再生も実現している点が特徴である。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図13に示す動画像圧縮回路において、28はHDTV信号処理モードか現行TV信号処理モードかを示す動作モード信号の入力端子、29は現行TV信号の画像データの入力端子、20はHDTV信号の画像データの入力端子、42はデータ切換え回路であり、その他の符号は図8の動画像圧縮回路の場合と同じブロックを示す。データ切換え回路42は、フィールド間和差生成回路51と画像符号化回路53との間に設けられている。

【0047】HDTV信号処理モードにおいて、フィールド間オフセットサンプリング回路50とフィールド間和差生成回路53・54の動作は第4の実施例の場合と同じであり、入力されるHDTV信号の画像データから2種類の前処理済み信号を生成し出力する。このとき入力端子28から入力される動作モード信号は「1」であるので、フィールド間和信号がデータ切換え回路42で選択されて画像符号化回路53に与えられデータ圧縮される。また、フィールド間差信号は画像符号化回路54でデータ圧縮される。画像圧縮回路53・54の動作は第4の実施例の場合と同じである。ここで圧縮データは出力端子45・46から出力される。現行TV信号処理モードにおいて、動作モード信号は「0」であるので、入力端子29から入力された現行TV信号がデータ切換え回路42で選択されて画像符号化回路53に与えられデータ圧縮される。ただし、入力端子20からのHDTV信号の画像データの inputs は存在しないので出力端子46からの圧縮データの出力はなく、圧縮データは出力端子45からのみ出力される。

【0048】HDTV信号の画像データのフィールド間和信号と現行TV信号の画素レートはほぼ同じであるので、現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な画像符号化回路53を切換えて用いることができる。

【0049】次に、本発明の第7の実施例を説明する。図14は、本発明の第7の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。ディジ

タルVTRの全体構成は第1の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図14に示す動画像圧縮回路において、20はHDTV信号の画像データの入力端子、47・48は圧縮データの出力端子、50はフィールド間オフセットサンプリング回路、51はフィールド間和差生成回路、31・32はフレーム間和差生成回路、43と44はデータ多重回路、38・39は画像符号化回路である。

【0050】フィールド間オフセットサンプリング回路50は、入力端子20から入力されるHDTV信号の画像データに対して、フィールド間オフセットサンプリングにより画素数を半分に削減する。その動作は第4の実施例の場合と同じである。この出力信号は、入力信号とフレーム周波数は変わらないが1フレームの画素数は $1/2$ 倍に低減されたものとなる。そして、フィールド間オフセットサンプリング回路50の出力信号から、フィールド間和差生成回路51とフレーム間和差生成回路31・32により4種類の前処理済み信号が生成され出力される。フィールド間和差生成回路51の動作は第4の実施例の場合と同じであり、フレーム間和差生成回路31・32の動作は第1の実施例の場合と同じである。この前処理済み信号はそれぞれ、入力信号に対してフレーム周波数も1フレーム画素数も $1/2$ 倍に低減されたものとなる。したがって、各信号の画素レートは元のHDTV信号の $1/8$ 倍となる。データ多重回路43は、フレーム間和差生成回路31の出力である「和・和」信号と「和・差」信号をフレーム単位でデータ多重する。また同様に、データ多重回路44は、フレーム間和差生成回路32の出力である「差・和」信号と「差・差」信号をフレーム単位でデータ多重する。

【0051】以上の結果、2種類の信号が元のHDTV信号の画像データから生成され、それぞれが画像符号化回路38と39でデータ圧縮される。画像符号化回路38はデータ多重回路43の出力信号を、画像符号化回路39はデータ多重回路44の出力信号を処理する。各信号の画素レートはHDTV信号の画素レートの $1/4$ 倍となっているので、ほぼ現行TV信号の画素レートと等しい。画像符号化回路38と39の構成と動作は第1の実施例における画像符号化回路33の場合と同じであり、いずれも現行TV信号用の、すなわち現行TV信号の画素レートを処理可能な回路となっているので、上記の各多重信号を処理可能である。

【0052】次に、本発明の第8の実施例を説明する。図15は、本発明の第8の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。デジタルVTRの全体構成は第1の実施例の場合と同じであるが、HDTV信号の記録再生だけでなく現行TV信号の記録再生も実現している点が特徴である。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明

を省略する。図 15 に示す動画像圧縮回路において、28 は HDTV 信号処理モードか現行 TV 信号処理モードかを示す動作モード信号の入力端子、29 は現行 TV 信号の画像データの入力端子、20 は HDTV 信号の画像データの入力端子、49 はデータ切換え回路であり、その他の符号は図 14 の動画像圧縮回路の場合と同じブロックを示す。データ切換え回路 49 は、データ多重回路 43 と画像符号化回路 38 との間に設けられている。

【0053】HDTV 信号処理モードにおいて、フィールド間オフセットサンプリング回路 50 とフィールド間和差生成回路 51、フレーム間和差生成回路 31・32 の動作は第 7 の実施例の場合と同じであり、入力される HDTV 信号の画像データから 4 種類の前処理済み信号を生成し出力する。そして、データ多重回路 43・44 の動作も第 7 の実施例の場合と同じであり、2 種類の多重信号が生成される。このとき入力端子 28 から入力される動作モード信号は「1」であるので、データ多重回路 43 の出力信号がデータ切換え回路 49 で選択されて画像符号化回路 38 に与えられデータ圧縮される。また、データ多重回路 44 の出力信号は画像符号化回路 39 でデータ圧縮される。画像符号化回路 38・39 の動作は第 7 の実施例の場合と同じである。ここで圧縮データは出力端子 47・48 から出力される。現行 TV 信号処理モードにおいて、動作モード信号は「0」であるので、入力端子 29 から入力された現行 TV 信号がデータ切換え回路 49 で選択されて画像符号化回路 38 に与えられデータ圧縮される。ただし、入力端子 20 からの HDTV 信号の画像データの inputs は存在しないので出力端子 48 からの圧縮データの出力はなく、圧縮データは出力端子 47 からのみ出力される。

【0054】データ多重回路 43 からの出力信号と現行 TV 信号の画素レートはほぼ同じであるので、現行 TV 信号用の、すなわち現行 TV 信号の画素レートを処理可能な画像符号化回路 38 を切り換えて用いることができる。

【0055】次に、本発明の第 9 の実施例を説明する。図 16 は、本発明の第 9 の実施例であるディジタル VTR の動画像圧縮回路の詳細ブロック図である。ディジタル VTR の全体構成は第 1 の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図 16 に示す動画像圧縮回路において、70 は情報量割り当て回路、73～76 は画像符号化回路であり、その他の符号は図 1 の動画像圧縮回路の場合と同じブロックを示す。

【0056】フィールド間和差生成回路 30 とフレーム間和差生成回路 31・32 の動作は第 1 の実施例の場合と同じであり、入力される HDTV 信号の画像データから 4 種類の前処理済み信号を生成し出力する。そして、それぞれの前処理済み信号は画像符号化回路 73～76 でデータ圧縮される。また、同時に各前処理済み信号は

情報量割り当て回路 70 に与えられ、情報量割り当て回路 70 は 1 フレームあたりの 4 種類の割り当て情報量を決定して、目標データ量信号として画像符号化回路 73～76 に出力する。HDTV 画像の動きの大きさや絵柄の細かさによって変動する各前処理済み信号の振幅の大きさを測定して、これらの割り当て情報量を生成する。したがって、現行 TV 信号用の画像符号化回路 73～76 を用いて HDTV 信号をデータ圧縮する際に、HDTV 画像の動きや絵柄の細かさに対応した情報量割り当てにより高画質化を実現することができる。

【0057】図 17 は、図 16 における画像符号化回路 73 の詳細ブロック図である。画像符号化回路 74～76 も、図 17 に示す画像符号化回路 73 と同じ構成である。図 17 に示す画像符号化回路 73 において、68 は目標データ量信号の入力端子、69 は量子化パラメータ生成回路であり、その他の符号は図 4 の画像符号化回路の場合と同じブロックを示す。量子化パラメータ生成回路 69 に、目標データ量信号が入力される点が特徴である。

【0058】入力端子 60 から入力された画像データは、フレームメモリ 62 に 1 フレーム分だけ蓄えられた後に、DCT 回路 63、量子化回路 64、可変長符号化回路 65 でデータ圧縮される。そして、圧縮データはバッファメモリ 66 に 1 フレーム分だけ蓄えられた後に、出力端子 66 から出力される。以上の動作は図 4 の画像符号化回路の場合と同じである。

【0059】なお、量子化パラメータ生成回路 69 は、入力された 1 フレームを構成する各ブロックのアクティビティと、フレームのアクティビティを計算し、1 フレームの圧縮データ量を目標データ量に合わせるように、各ブロックの量子化パラメータを決定する。ただし、図 4 の画像符号化回路の場合と異なるのは、入力端子 68 から入力される目標データ量信号に応じて目標データ量変動する点である。基本的に、目標データ量が大きい場合には、量子化パラメータは小さな値に制御され量子化は細くなる。また逆に、目標データ量が小さい場合には、量子化パラメータは大きな値に制御され量子化は粗くなる。

【0060】図 18 に、情報量割り当て回路 70 で生成される 1 フレームあたりの割り当て情報量の例を示す。動きのほとんどない絵柄の細かな静止画の場合の例を三角印に示す。この場合には、すべてのフレームにおいて画像の変化はほとんどないから、フレーム間差信号である「和・差」信号と「差・差」信号の振幅は「和・和」信号や「差・和」信号と比べて非常に小さい。ただし、フィールド間差信号は図 2 に示したようにフレーム内で隣接する上下ラインの差信号であるので、絵柄が細かい場合には「差・和」信号の振幅が小さいとはいえない。したがって、図 18 の三角印の通りに割り当て情報量が決められる。次に、動きのある程度大きな画像における

例を丸印で示す。この場合には、動きの影響によりすべてのフィールドにおいて画像の変化が大きいため、4種類の前処理済み信号の振幅は比較的近くなる。したがって、図18の丸印の通りに割り当て情報量が決められる。

【0061】最後に、本発明の第10の実施例を説明する。図19は、本発明の第10の実施例であるデジタルVTRの動画像圧縮回路の詳細ブロック図である。デジタルVTRの全体構成は第1の実施例の場合と同じである。なお、逆の処理を行なう動画像伸長回路の構成と動作については説明を省略する。図19に示す動画像圧縮回路において、71は情報量割り当て回路、77と78は画像符号化回路であり、その他の符号は図8の動画像圧縮回路の場合と同じブロックを示す。

【0062】フィールド間オフセットサンプリング回路50とフィールド間和差生成回路51の動作は第4の実施例の場合と同じであり、入力されるHDTV信号の画像データに対してフィールド間オフセットサンプリングにより画素数を半分に削減した後に、フィールド間和信号とフィールド間差信号を生成し出力する。そして、それぞれの前処理済み信号は画像符号化回路77・78でデータ圧縮される。また、同時に前処理済み信号は情報量割り当て回路71に与えられ、情報量割り当て回路71は1フレームあたりの2種類の割り当て情報量を決定して、目標データ量信号として画像符号化回路77・78に出力する。HDTV画像の動きの大きさや絵柄の細かさによって変動する各前処理済み信号の振幅の大きさを測定して、これらの割り当て情報量を生成する。したがって、現行TV信号用の画像符号化回路77・78を用いてHDTV信号をデータ圧縮する際に、HDTV画像の動きや絵柄の細かさに対応した情報量割り当てにより高画質化を実現することができる。

【0063】なお、第3や第6、第8の実施例に対して、これら第9と第10の実施例と同様の情報量割り当て回路を付加し、画像の動きや絵柄の細かさに対応した情報量割り当てにより、高画質化な現行TV信号とHDTV信号の両方に対応したデジタルVTRを実現することができる。

【0064】以上、本発明の実施例について詳しく説明した。なお、オフセットサンプリングの処理方式としては、説明したフィールド間オフセットサンプリングやフレーム間オフセットサンプリングとは異なるものであってもよい。また、オフセットサンプリングの際に、多少回路規模は増えるが、高周波成分の折り返し妨害を防ぐために前置フィルタを設けると効果的である。前処理におけるオフセットサンプリング、フィールド間和差生成、フレーム間和差生成の処理の順番は説明した実施例と異なっても構わない。

【0065】前処理済みの信号に対する画像符号化の処理方式としては、DCTを利用したものでなくても、本

発明は同様に適用できる。映像信号としては、輝度信号と2種類の色差信号とからなるカラー信号など様々な場合に本発明は適用できることは言うまでもない。その場合に、色差信号が輝度信号に対してサブサンプルされていてもよい。さらに、磁気テープへの記録再生だけでなく、光ディスクへの記録再生やデータ通信回線による伝送などにも本発明は適用可能である。

【0066】

【発明の効果】本発明によれば、フィールド間和差生成、フレーム間和差生成、およびオフセットサンプリングの中から、少なくとも2種類の処理を組み合わせた前処理をHDTV信号に対して行なった後に、画像符号化の処理回路でデータ圧縮を行なうことにより、現行TV信号用の画像符号化の処理回路を流用することができ、HDTV信号を記録再生するデジタルVTRを廉価に実現することができる。

【0067】さらに、上記の前処理をHDTV信号に対して行なった後の信号と、現行TV信号のどちらかを選択して、現行TV信号用の画像符号化の処理回路でデータ圧縮を行なうことにより、現行TV信号とHDTV信号を切り換えて記録再生を行なうデジタルVTRを廉価に実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図2】図1の動画像圧縮回路におけるフィールド間和差生成回路の動作を示す概念図である。

【図3】図1の動画像圧縮回路におけるフレーム間和差生成回路の動作を示す概念図である。

【図4】図1の動画像圧縮回路における画像符号化回路の詳細なブロック図である。

【図5】本発明の第2の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図6】本発明の第3の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図7】本発明の実施例であるデジタルVTRの全体構成を示すブロック図である。

【図8】本発明の第4の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図9】本発明の第5の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図10】図8の動画像圧縮回路におけるフィールド間オフセットサンプリング回路の動作を示す概念図である。

【図11】図8の動画像圧縮回路におけるフィールド間和差生成回路の動作を示す概念図である。

【図12】図9の動画像圧縮回路におけるフレーム間オフセットサンプリング回路の動作を示す概念図である。

【図13】本発明の第6の実施例であるデジタルVTRにおける動画像圧縮回路のブロック図である。

【図 14】本発明の第 7 の実施例であるデジタル V T R における動画像圧縮回路のブロック図である。

【図 15】本発明の第 8 の実施例であるデジタル V T R における動画像圧縮回路のブロック図である。

【図 16】本発明の第 9 の実施例であるデジタル V T R における動画像圧縮回路のブロック図である。

【図 17】図 16 の動画像圧縮回路における画像符号化回路の詳細なブロック図である。

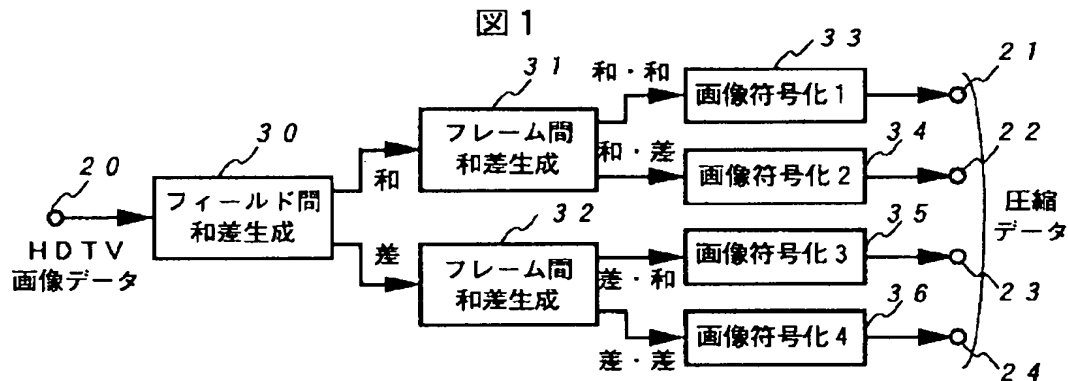
【図 18】図 16 の動画像圧縮回路における情報量割り当て回路の動作を示す概念図である。

【図 19】本発明の第 10 の実施例であるデジタル V T R における動画像圧縮回路のブロック図である。

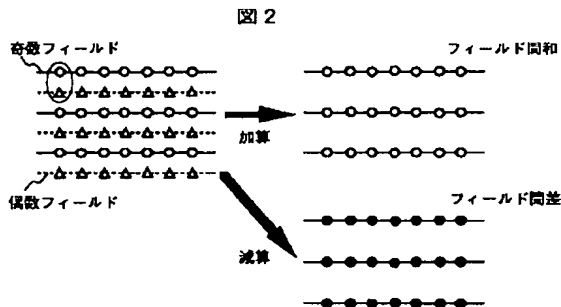
【符号の説明】

30・51…フィールド間和差生成回路、31・32…フレーム間和差生成回路、41・42・49…データ切換え回路、50…フィールド間オフセットサンプリング回路、52…フレーム間オフセットサンプリング回路、33～39・53～54・73～78…画像符号化回路、70・71…情報量割り当て回路。

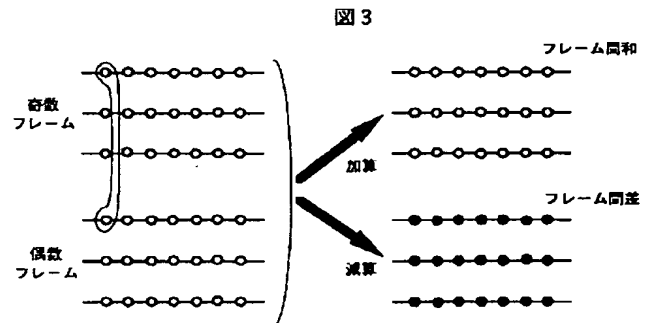
【図 1】



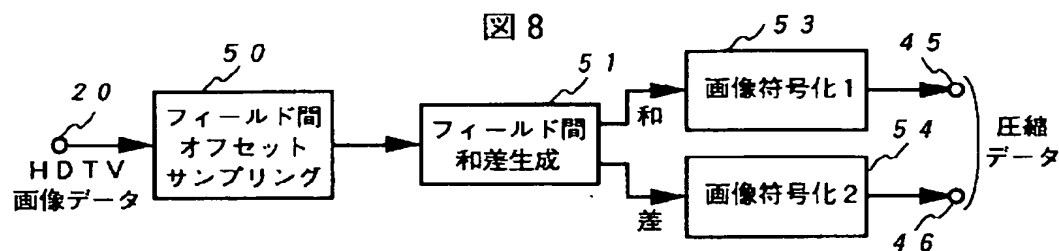
【図 2】



【図 3】

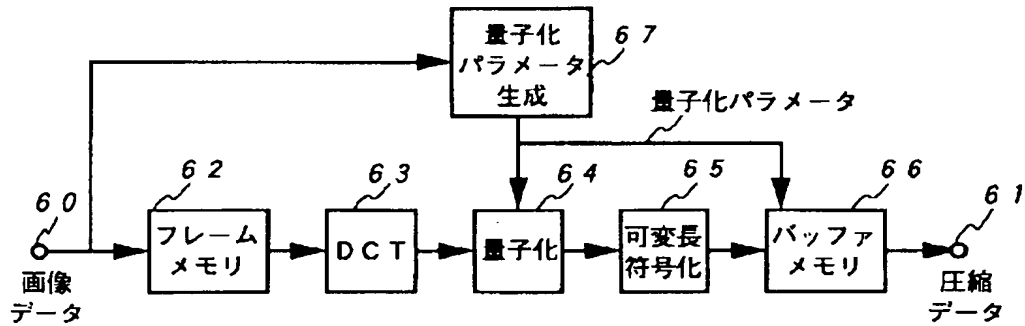


【図 8】



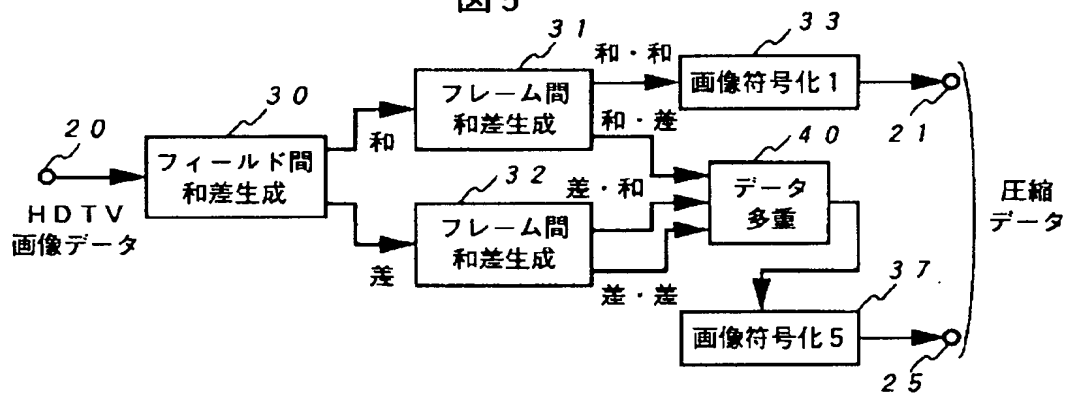
【図4】

図4



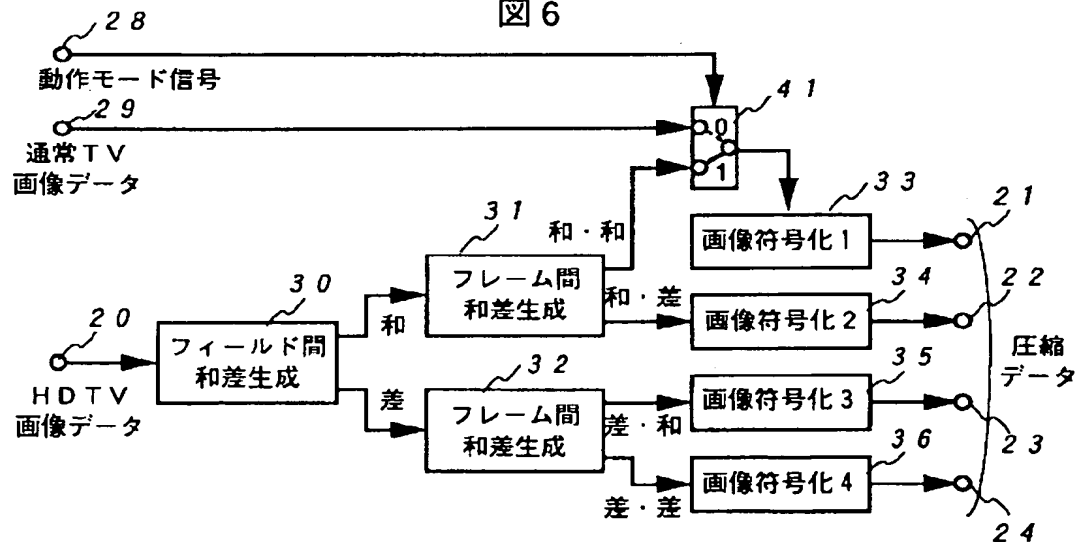
【図5】

図5



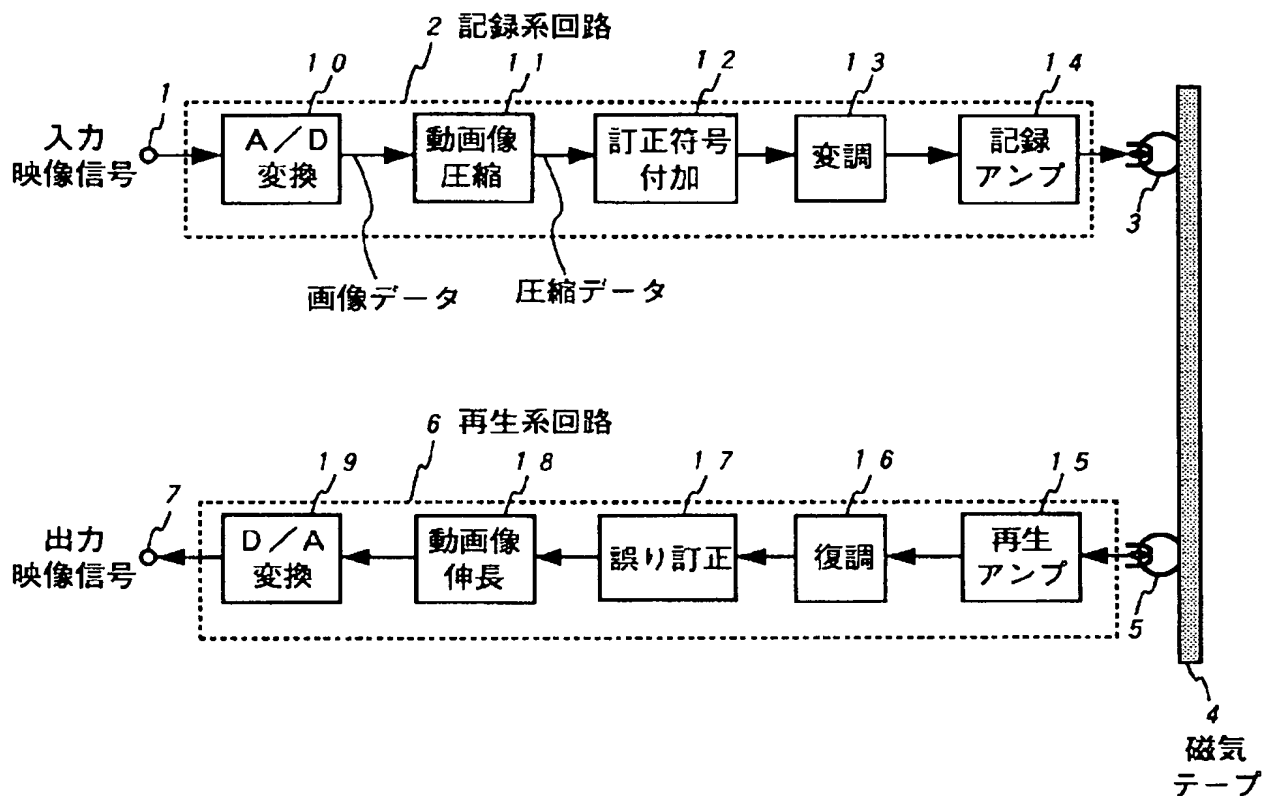
【図6】

図6

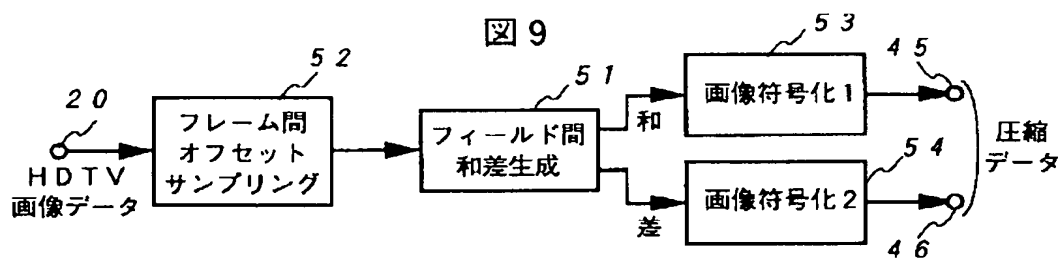


【図7】

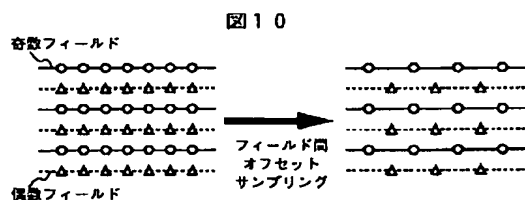
図7



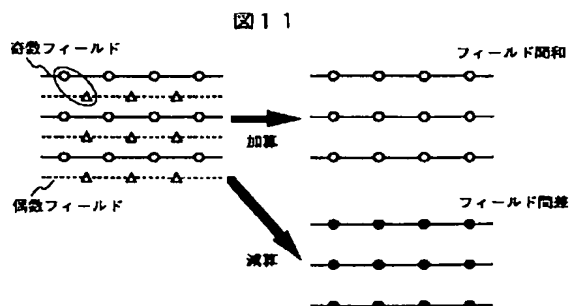
【図9】



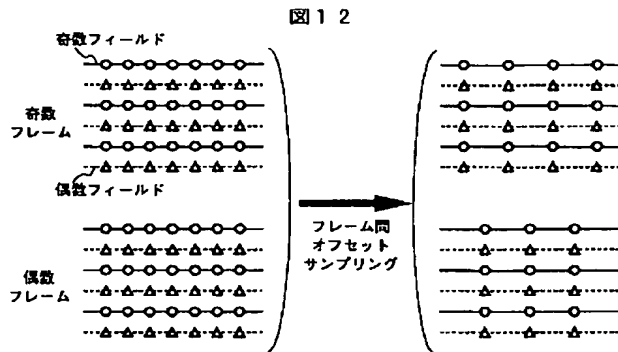
【図10】



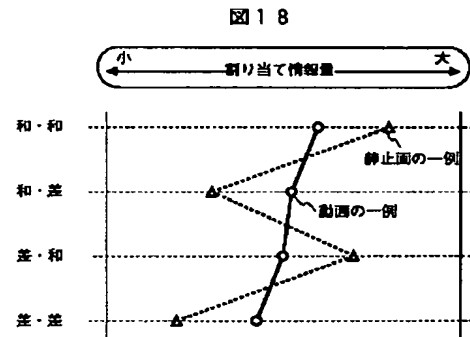
【図11】



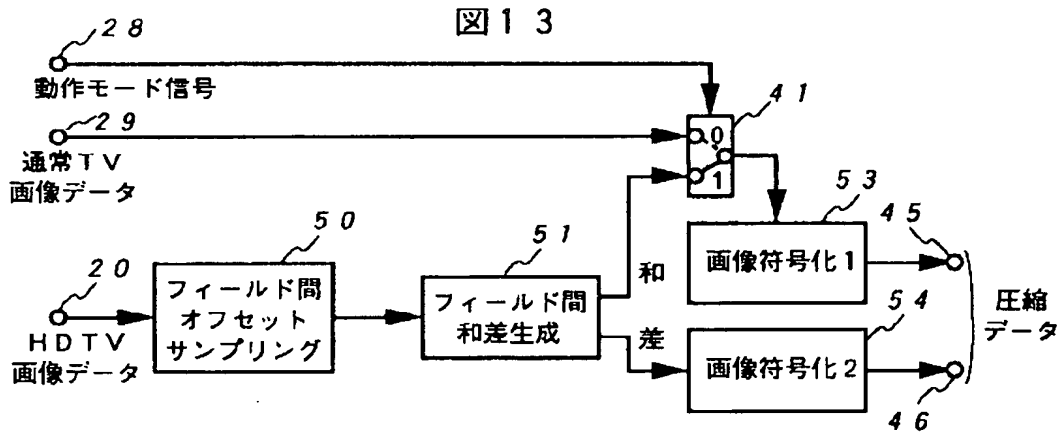
【図12】



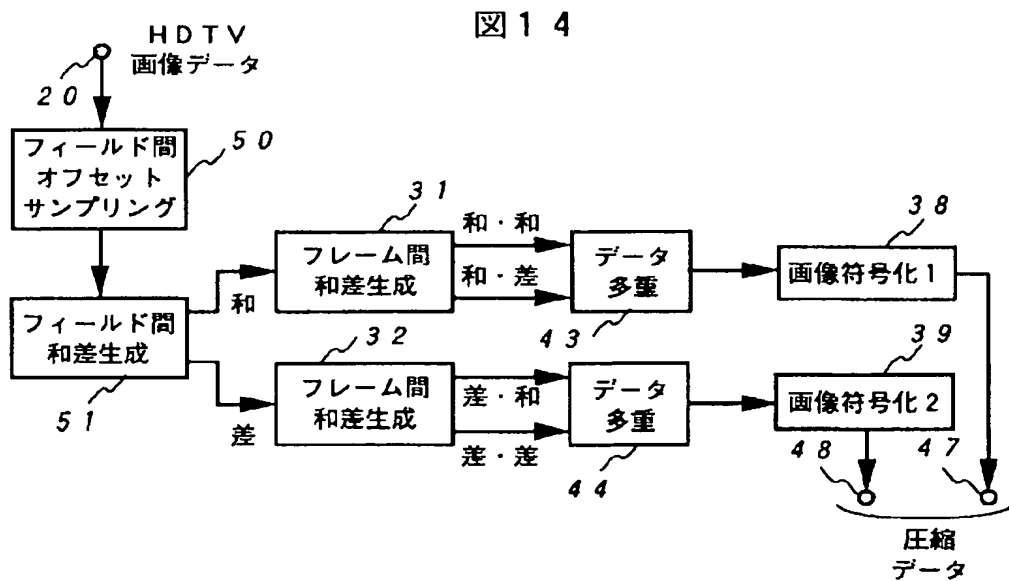
【図18】



【図13】

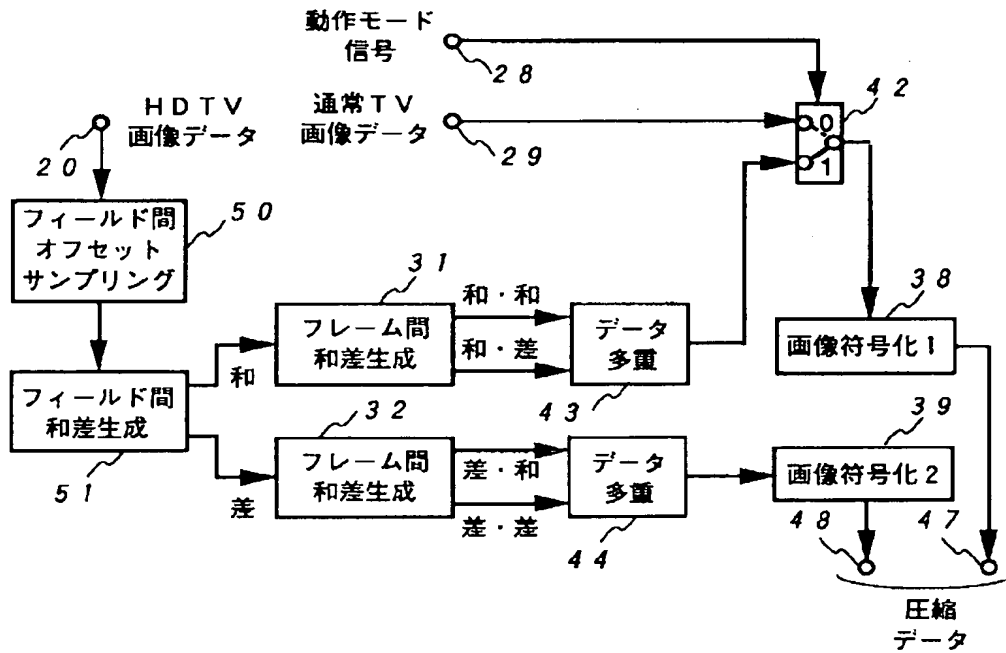


【図14】



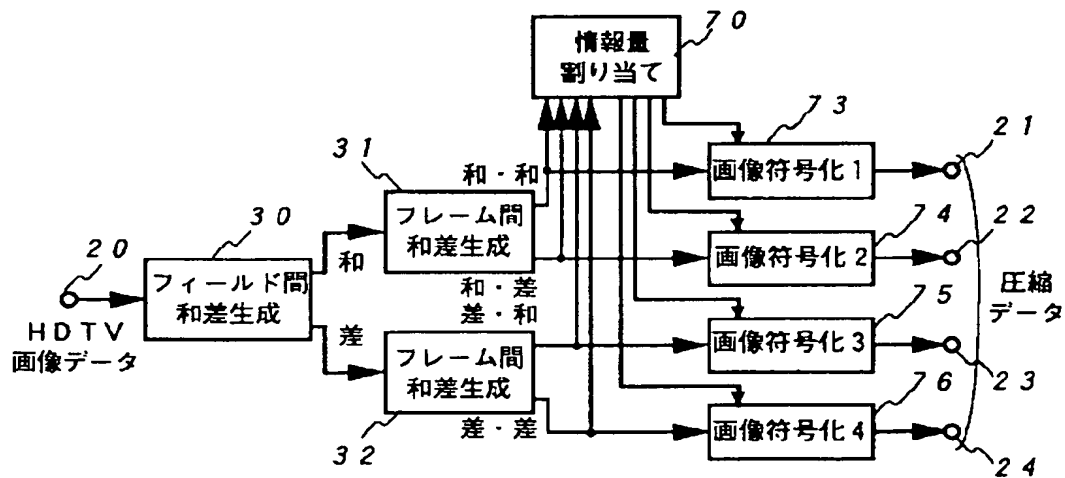
【図15】

図15

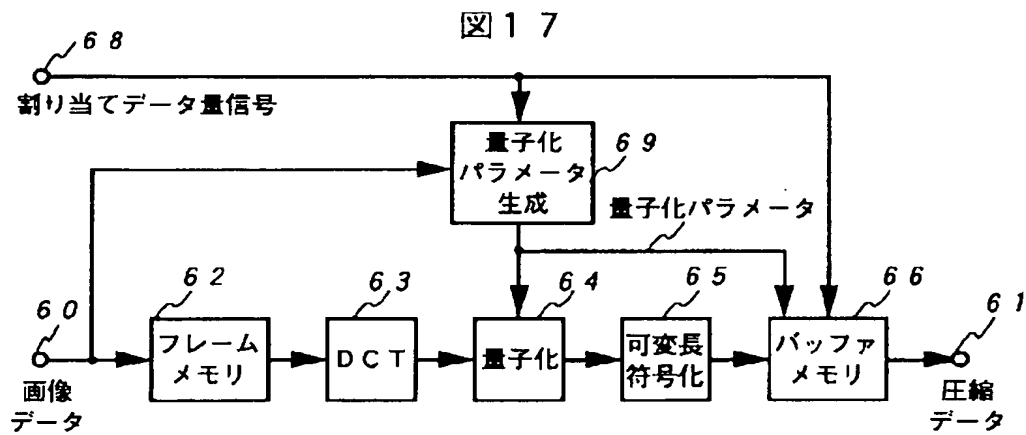


【図16】

図16

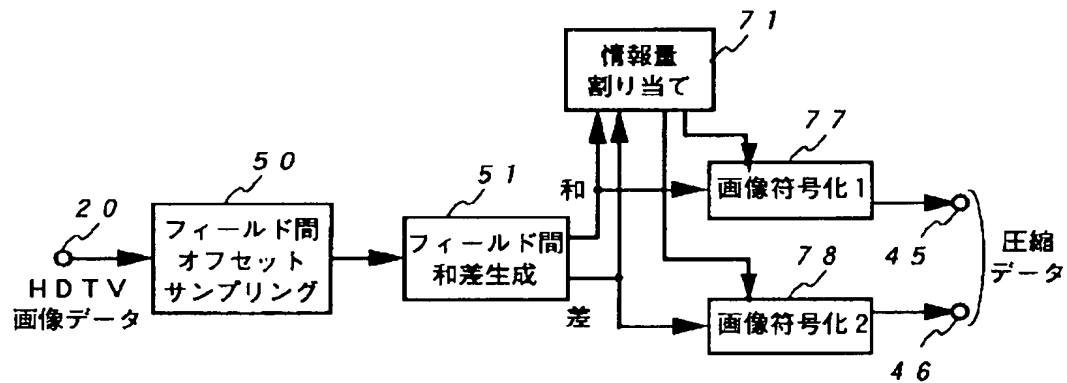


【図17】



【図19】

図19



フロントページの続き

(72)発明者 市毛 健志
 横浜市戸塚区吉田町292番地株式会社日立
 製作所映像メディア研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-328396

(43)Date of publication of application : 10.12.1993

(51)Int.Cl. H04N 9/80

H04N 5/782

H04N 5/92

(21)Application number : 04-127112 (71)Applicant : HITACHI LTD

(22)Date of filing : 20.05.1992 (72)Inventor : TSUBOI YUKITOSHI

OKU MASUO

TAKAHASHI SUSUMU

ICHIGE KENJI

(54) PICTURE ENCODING DEVICE

(57)Abstract:

PURPOSE: To provide a digital VTR for recording/reproducing HDTV signals at low cost by performing pre-processing for which at least two kinds of processing from interfield sum/difference generation, interframe sum/difference generation and offset sampling are combined.

CONSTITUTION: An interfield sum/difference generation circuit 30 finds the sum and the difference between the two adjacent fields for the picture data of the inputted HDTV signal (high definition TV signal) and generates an interfield sum signal and an interfield difference signal. Interframe sum/ difference generation circuits 31 and 32 find the sum and the difference between the two adjacent frames respectively for the interfield sum signal and the interfield difference signal which are the output of the circuit 30 and generate and output an interframe sum signal and an interframe difference signal. As a result, four kinds

of pre-processed signals are generated from the source HDTV signal, respectively data compressed at picture encoding circuits 33-36 and compressed data are outputted from output terminals 21-24.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] With the image coding equipment which performs the data compression of a video signal in the digital video tape recorder which records a video signal on a magnetic tape The offset sampling which changes into the sampling structure of the shape of an eye of 5 from the shape of a grid, and reduces the number of pixels in one half to a video signal, The **** generation between the fields which takes the sum and the difference of a pixel unit which adjoin between the fields, and generates the sum signal between the fields, and

the difference signal between the fields, And a pretreatment means to perform processing which combined at least two kinds out of three kinds of processings of the inter-frame **** generation which takes the sum and the difference of a pixel unit which correspond by inter-frame, and generates an inter-frame sum signal and an inter-frame difference signal, Image coding equipment characterized by having two or more image coding means which carry out the data compression of two or more kinds of pretreated signals generated with said pretreatment means.

[Claim 2] Image coding equipment characterized by being that to which said pretreatment means performs processing of the **** generation between the fields, and inter-frame **** generation, and generates four kinds of pretreated signals in image coding equipment according to claim 1.

[Claim 3] Image coding equipment characterized by being that to which said pretreatment means performs all processings of an offset sampling, the **** generation between the fields, and inter-frame **** generation, and generates four kinds of pretreated signals in image coding equipment according to claim 1.

[Claim 4] Image coding equipment characterized by having two image coding means which carry out the data compression of two kinds of multiple signals which carried out multiplex [of four kinds of pretreated signals generated with said pretreatment means] in image coding equipment according to claim 3.

[Claim 5] It is image coding equipment which is equipped with an amount-of-information quota means to determine further the quota amount of information over two or more kinds of pretreated signals generated with said pretreatment means in image coding equipment according to claim 1, and is characterized by carrying out the data compression of said two or more image coding means according to the quota amount of information to which each pretreated signal is given from this amount-of-information quota means.

[Claim 6] With the image coding equipment which performs the data compression of a video signal in the digital video tape recorder which records the video signal which is two or more kinds from which resolution differs on a magnetic tape A pretreatment means to perform processing which combined at least two kinds to the 1st video signal with high resolution out of three kinds of processings, an offset sampling, the **** generation between the fields, and inter-frame **** generation, Two or more image coding means which carry out the data compression of two or more kinds of pretreated signals generated with said pretreatment means are established. Image coding equipment characterized by establishing the signal change means which switches the pretreated signal which processed the 1st video signal with high resolution with said pretreatment means, and the 2nd video signal with low resolution before one further specific image coding means.

[Claim 7] Image coding equipment characterized by being that to which said pretreatment means performs processing of the **** generation between the fields, and inter-frame **** generation to the 1st video signal, and generates four kinds of pretreated signals in image coding equipment according to claim 6.

[Claim 8] Image coding equipment characterized by being that to which said pretreatment means performs all processings of an offset sampling, the **** generation between the fields, and inter-frame **** generation to the 1st video signal, and generates four kinds of pretreated signals in image coding equipment according to claim 6.

[Claim 9] Image coding equipment characterized by having two image coding means which carry out the data compression of two kinds of multiple signals which carried out multiplex [of four kinds of pretreated signals generated from the 1st video signal with said pretreatment means] in image coding equipment according to claim 8.

[Claim 10] It is image coding equipment which is equipped with an amount-of-information quota means to determine further the quota amount of information over two or more kinds of pretreated signals generated with said pretreatment means in image coding equipment according to claim 6, and is characterized by carrying out the data compression of said two or more image

coding means according to the quota amount of information to which each pretreated signal is given from said amount-of-information quota means.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the image coding equipment used for the digital video tape recorder which carries out digital recording of the video signal to a magnetic tape, and relates to suitable image coding equipment to carry out the data compression of the high definition video signal, and record especially.

[0002]

[Description of the Prior Art] As a digital video tape recorder which carries out the

data compression of the video signal, and is recorded on a magnetic tape, he is IEEE, for example. Transactions ON The thing of a publication is known [page / 457th / (IEEE Transactions on Consumer Electronics, Vol.35, No.3 (August 1989), pp.450-457)] from the 450th page of the 3 volume [35th] No. (the August, 1989 issue) of consumer electronics.

[0003] Frame frequency carries out the data compression of the video signal of 29.97 frames per second by 525, a present TV signal, i.e., the all number of vertical lines in a frame, records this digital video tape recorder on a magnetic tape, and it reproduces the recorded data, performs data decompression, and outputs a video signal. the number of pixels (it is hereafter called a pixel rate) which the number of the effective pixels in a frame recorded on a magnetic tape is 720x480 pixels, and needs to be processed in 1 second -- about 10 -- it is M pixels/second.

[0004] First, after changing an input video signal into digital image data from an analog signal by A/D conversion, carrying out the data compression of the image data on the occasion of record of a video signal by image coding processing which consists of discrete cosine conversion (DCT), quantization, and variable length coding and adding an error correcting code further, data are modulated, and it changes to a record signal, and records on a magnetic tape. The signal is recorded along the track aslant formed on a magnetic tape because a rotary

head carries out the helical scan of the magnetic tape.

[0005] Moreover, on the occasion of playback of a video signal, the data which restored to the regenerative signal reproduced from the magnetic tape, and were recorded are restored. Detection of an error and error correction at the time of error generating are performed using the added error correcting code. After a variable-length decryption, reverse quantization, and the image decryption processing that consists of reverse discrete cosine conversion performing data decompression and generating image data, the digital image data is changed into the video signal of an analog signal by D/A conversion, and is outputted.

[0006]

[Problem(s) to be Solved by the Invention] However, the above-mentioned conventional technique carries out the data compression of the present TV signal, does not carry out record playback at a magnetic tape, and does not support record playback of the highly minute TV signal (it is hereafter called a HDTV signal) of high resolution more.

[0007] For example, the all number of vertical lines in a frame is [the frame frequency of a HDTV signal] 30 frames per second in 1125, and although frame frequency is almost the same to a present TV signal, it is the all twice [more than] number of vertical lines of this in a frame. And in a typical example, the number of the effective pixels in a frame is 1152x1040 pixels, and it is an

abbreviation 35M pixel/second and about 4 times the pixel rate of this to a present TV signal.

[0008] Therefore, if it is going to make the above-mentioned conventional technique correspond to a HDTV signal as it is, the working speed of the processing circuit of image coding must be gathered about 4 times. Therefore, the comparatively cheap processing circuit which operates at the pixel rate of a present TV signal cannot be diverted, but it is necessary to use the processing circuit of the expensive dedication which carries out high-speed operation at the pixel rate of a HDTV signal.

[0009] The purpose of this invention is constituting the processing circuit of image coding which solves the above-mentioned technical problem, diverts the processing circuit of image coding for present TV signals, and carries out the data compression of the HDTV signal, and is to realize the high definition digital video tape recorder which carries out record playback of the HDTV signal at a low price. Moreover, other purposes of this invention are to realize the high definition digital video tape recorder which can perform record playback of both a HDTV signal and a present TV signal at a low price.

[0010]

[Means for Solving the Problem] The **** generation between the fields whose this invention takes the sum and the difference between the fields per pixel to a

HDTV signal in order to attain the above-mentioned purpose, Out of the inter-frame **** generation which takes the sum and a difference inter-frame in a pixel unit, and the offset sampling which reduces the number of pixels by half by changing into the sampling pattern of the shape of an eye of 5 from the shape of a grid The pretreatment circuit which performs processing which combined at least two kinds of processings, Two or more image coding networks which carry out the data compression of two or more kinds of generated pretreated signals are prepared, and the digital video tape recorder which performs record playback of a HDTV signal consists of diverting the processing circuit of image coding for present TV signals to at least one of them.

[0011] In order to attain the purpose besides the above moreover, this invention The pretreatment circuit which performs processing which combined at least two kinds of processings to a HDTV signal out of the **** generation between the fields, inter-frame **** generation, and an offset sampling, Two or more image coding networks which carry out the data compression of two or more kinds of generated pretreated signals are prepared. The processing circuit of image coding for present TV signals is diverted to at least one of them. By furthermore, the thing which it establishes for the signal change circuit which chooses the present TV signal itself in front of one specific processing circuit in recording a HDTV signal and recording a present TV signal for a pretreated signal The

digital video tape recorder which switches a present TV signal and a HDTV signal and performs record playback is constituted.

[0012]

[Function] Per pixel, in the sum between the fields, and processing of the **** generation between the fields in which a difference is taken, two kinds of signals, the sum signal between the fields and the difference signal between the fields, are generated, and the number of pixels of one frame of each signal becomes by 1/2 twice the original signal. Moreover, in the sum inter-frame in a pixel unit, and processing of inter-frame **** generation in which a difference is taken, two kinds of signals, an inter-frame sum signal and an inter-frame difference signal, are generated, and the frame frequency of each signal becomes by 1/2 twice the original signal. Although these are very easy processings, degradation of image quality is not generated. Moreover, in processing of an offset sampling in which the number of pixels is reduced by half by changing into the sampling pattern of the shape of an eye of 5 from the shape of a grid, the number of pixels of one frame of the offset sampling signal after processing becomes by 1/2 twice the original signal. Although this is also easy processing, degradation of the image quality by a part of high frequency component of a signal being deleted is slight.

[0013] Since a pretreatment circuit performs processing with which two kinds or all three kinds of processings were combined out of three kinds of above

processings, each pixel rate of two or more kinds of pretreated signals generated in the pretreatment circuit becomes $1/4$ time of the original HDTV signal, or $1/8$ time. Thereby, the pixel rate of a pretreated signal becomes almost equal to the pixel rate of a present TV signal, or becomes about $1/2$ twice. Moreover, since the pretreated signal generated by the above pretreatment becomes what is easy to carry out a data compression from the original HDTV signal, the data compression rate in an image coding network goes up it.

[0014] Therefore, when the pixel rate of a pretreated signal is $1/4$ time the original HDTV signal, it becomes possible to carry out the data compression of any one kind of signal in the processing circuit of image coding for present TV signals. Moreover, when the pixel rate of a pretreated signal is $1/8$ time the original HDTV signal, it becomes possible to double any two kinds of signals and to carry out a data compression in the processing circuit of image coding for present TV signals. The data compression of other pretreated signals is similarly carried out by the processing circuit of image coding for the present TV, or another image coding network designed by dedication.

[0015] Moreover, if it establishes a signal change means to choose the present TV signal itself, in front of the processing circuit of image coding for the present TV in recording a HDTV signal and recording a present TV signal for a pretreated signal, a HDTV signal and a present TV signal can be switched easily,

and record playback can be realized.

[0016]

[Example] First, the first example of this invention is explained to a detail using a drawing.

[0017] Drawing 7 is the block diagram showing the whole digital video tape recorder configuration of this invention. drawing 7 -- setting -- 1 -- for a recording head and 4, as for the reproducing head and 6, a magnetic tape and 5 are [the input terminal of an input video signal, and 2 / a recording system circuit and 3 / a reversion system circuit and 7] the output terminals of an output video signal. The recording system circuit 2 consists of the A/D-conversion circuit 10, the dynamic-image compression circuit 11, a correction sign addition circuit 12, a modulation circuit 13, and record amplifier 14. Moreover, the reversion system circuit 6 consists of the playback amplifier 15, a demodulator circuit 16, an error correction circuit 17, a dynamic-image expanding circuit 18, and a D/A conversion circuit 19.

[0018] First, the actuation at the time of image record of the digital video tape recorder shown in drawing 7 is explained. First, the video signal of a highly minute TV (HDTV) method is inputted into the recording system circuit 2 from an input terminal 1. The A/D-conversion circuit 10 samples the video signal of an analog with the sampling frequency of 44.55MHz, and generates digital image

data. The number of effective pixels of one frame is 1152x1040 pixels. The dynamic-image compression circuit 11 carries out the data compression of the image data generated in the A/D-conversion circuit 10, and generates compressed data. However, control is performed so that the amount of compressed data may become fixed per one frame.

[0019] The correction sign addition circuit 12 outputs the data which add the parity code by the Reed Solomon product code, and are recorded on a magnetic tape to the compressed data after the data compression was carried out in the dynamic-image compression circuit 11. After the compressed data recorded on one track is put in order by 2-dimensional array structure, inner sign parity is further added for outside sign parity by the Reed Solomon coding about a longitudinal direction about a lengthwise direction. To the inner sign parity added to compressed data (or outside sign parity) and it, SYNC data and ID data are added to a head, and a synchronous block is constituted. A synchronous block is the base unit of record playback of the data to a magnetic tape. In case SYNC data read data from a magnetic tape per synchronous block, they are a special bit pattern for taking a reproductive synchronization. Moreover, ID data are attribute data in which the number of a synchronous block etc. is shown.

[0020] A modulation circuit 13 changes into the signal format suitable for the record playback to a magnetic tape the compressed data with which the error

correcting code was added, and the record amplifier 14 amplifies the record signal, and it supplies it to the magnetic head 3. Sequential record of the video signal by which the sequential input was carried out at the input terminal 1 will be carried out by processing of the above recording system circuit 2 at a magnetic tape 4. By the magnetic head 3 embedded like the present analog VTR at the rotating cylinder inclined and arranged to the tape transit direction, to the magnetic tape twisted around the rotating cylinder, the magnetic head performs helical scan and performs data logging. Therefore, data will be recorded in the track unit which had a predetermined inclination on the magnetic tape.

[0021] Next, the actuation at the time of image reproduction is explained. First, the record signal currently recorded on the magnetic tape 4 by the magnetic head 5 is reproduced, and it is inputted into the reversion system circuit 6. The playback amplifier 15 amplifies the reproduced signal. A demodulator circuit 16 performs recovery processing to the digital signal of 0 and 1, after performing waveform-equalization processing which compensates the record reproducing characteristics of a magnetic tape. The error correction circuit 17 is detecting the SYNC data which are the special bit pattern added to the head of a synchronous block from the digital signal to which it restored, reproduces data per synchronous block, performs error detection and an error correction using the parity code added, and outputs them as compressed data.

[0022] The dynamic-image expanding circuit 18 performs data decompression of the reproduced compressed data, and reproduces image data. However, when the error which was not able to be corrected in the error correction circuit 17 exists, it replaces by the image data of this screen location of one frame ago, without performing decode of the mistaken compressed data. Even when the error remains in compressed data by this concealed processing, a big breakdown can be prevented from being generated in respect of image quality on the reproduced image. Thus, after the reproduced digital image data is changed into the video signal of an analog by the D/A conversion circuit 19, it is outputted as a video signal of a HDTV method from an output terminal 8.

[0023] Drawing 1 is the detail block diagram of the dynamic-image compression circuit 11 of the digital video tape recorder shown in drawing 7 which is the first example of this invention. In addition, since the configuration and actuation of the dynamic-image expanding circuit 18 which performs reverse processing of this dynamic-image compression circuit 11 are clear from the configuration and actuation of the dynamic-image compression circuit 11 which are shown in drawing 1 , explanation is omitted. For the image entry-of-data terminal of a HDTV signal, and 21-24, as for the **** generation circuit between the fields, and 31-32, in the dynamic-image compression circuit shown in drawing 1 , an inter-frame **** generation circuit, and 33-36 are [20 / the output terminal of four

kinds of compressed data and 30] four kinds of image coding networks.

[0024] To the image data of the HDTV signal inputted from an input terminal 20, the **** generation circuit 30 between the fields takes the sum and the difference between the fields between the ***** 2 fields, and generates and outputs the sum signal between the fields, and the difference signal between the fields. The situation of this processing is shown in drawing 2 . A pixel is arranged in the shape of a grid, and one frame is constituted so that the image data of the HDTV signal of an input signal may be illustrated on the left of drawing 2 . However, to a frame, offset sticks perpendicularly, the two half fields overlap [the number of vertical lines] it, and one frame is constituted. Rhine which constitutes the odd number field showed as the continuous line, and the pixel is shown by the round mark. Moreover, Rhine which constitutes the even number field showed with the broken line, and the pixel is shown by the trigonum mark. The ***** even number field and the odd number field are the images in the time of day shifted only for 1 / 60 seconds. In the **** generation circuit 30 between the fields, it is perpendicular, and between the pixel of the ***** odd number field, and the pixel of the even number field, the value of image data is added and the sum signal between the fields illustrated at the upper right of drawing 2 is generated. It is the pixel of a sum signal which with a circle [white] showed. Moreover, the value of image data is subtracted similarly and the difference signal between the fields

illustrated at the lower right of drawing 2 is generated. It is the pixel of a difference signal which the black dot showed. Although an input signal and the frame frequency of the output signal of the **** generation circuit 30 between the fields were unchanging respectively, the number of pixels of one frame was reduced by 1/2.

[0025] To the sum signal between the fields which is the output of the **** generation circuit 30 between the fields, the inter-frame **** generation circuit 31 takes the sum and a difference inter-frame between two *****, and generates and outputs an inter-frame sum signal and an inter-frame difference signal. The situation of this processing is shown in drawing 3 . A pixel is arranged in the shape of a grid, and one frame is constituted so that the sum signal between the fields inputted may be illustrated on the left of drawing 3 . Rhine which constitutes a frame showed as the continuous line, and the pixel is shown by the round mark. A ***** odd frame and even frames are the images in the time of day shifted only for 1 / 30 seconds. In the inter-frame **** generation circuit 31, in the direction of time amount, the value of image data is added between the pixel of a ***** odd frame, and the pixel of even frames, and the inter-frame sum signal illustrated at the upper right of drawing 3 is generated. It is the pixel of a sum signal which with a circle [white] showed. Moreover, the value of image data is subtracted similarly and the inter-frame difference signal illustrated at the

lower right of drawing 2 is generated. It is the pixel of a difference signal which the black dot showed. Frame frequency was reduced by 1/2 although the input signal and the number of pixels of one frame of the output signal of the inter-frame **** generation circuit 31 were unchanging respectively. Therefore, compared with the original HDTV signal, both the numbers of pixels of one frame were also reduced also for frame frequency by 1/2.

[0026] Although actuation of the inter-frame **** generation circuit 32 is the same as actuation of the inter-frame **** generation circuit 31, the inter-frame sum and an inter-frame difference are generated to the difference signal between the fields which is the output of the **** generation circuit 30 between the fields, and the points which output an inter-frame sum signal and an inter-frame difference signal differ. Hereafter, the sum and a "sum" signal, and an inter-frame difference signal are called the sum and a "difference" signal for the inter-frame sum signal which is the output of the inter-frame **** generation circuit 31. Moreover, a difference and a "sum" signal, and an inter-frame difference signal are called a difference and a "difference" signal for the inter-frame sum signal which is the output of the inter-frame **** generation circuit 32.

[0027] The above result, four kinds of pretreated signals are generated from the original HDTV signal, the data compression of each is carried out by the image coding networks 33-36, and compressed data is outputted from output terminals

21-24. the image coding network 33 -- the sum and a "sum" signal -- in the image coding network 34, the image coding network 35 processes a difference and a "sum" signal, and the image coding network 36 processes a difference and a "difference" signal for the sum and a "difference" signal. Since the pixel rate of each signal is 1/4 time the pixel rate of a HDTV signal, it is almost equal to the pixel rate of a present TV signal. Since the image coding networks 33-36 are all the circuits which can process the pixel rate of a present TV signal for present TV signals, the above-mentioned pretreated signal can be processed.

[0028] Drawing 4 is the detail block diagram of the image coding network 33.

The image coding networks 34-36 are also the same configurations as the image coding network 33 shown in drawing 4 . the image entry-of-data terminal whose 60 is a pretreated signal in the image coding network 33 shown in drawing 4 , and 61 -- for a DCT circuit and 64, as for a variable-length coding network and 66, a quantization circuit and 65 are [the output terminal of compressed data, and 62 / a frame memory and 63 / buffer memory and 67] quantization parameter generation circuits. Processing of a data compression is performed per block of predetermined size.

[0029] The image data inputted from the input terminal 60 is stored in a frame memory 62 by one frame. The quantization parameter generation circuit 67 calculates the activity of each block which constitutes one inputted frame, and

makes total the activity of the frame further. Here, it asks because the activity of a block is an index which shows whether a pattern is fine and amount of information is large or a pattern is flat and there is little amount of information about the contents of an image of the block and performs predetermined data processing to the pixel value of a block. Since the amount of compressed data after the amount of compressed data after carrying out a data compression to the value of activity having strong correlation statistically and carrying out a data compression to a quantization parameter to the value of a certain specific activity has strong correlation statistically when a certain specific quantization parameter is set up, in order to control the amount of compressed data to a target value, a complement child-ized parameter can be presumed about the block with the value of a certain specific activity. Here, a quantization parameter is a parameter which shows the fineness of quantization. The quantization parameter generation circuit 67 assigns the target amount of data of the compressed data of one frame to each block according to the value of the activity of a frame, and the activity of each block, and after it determines the quantization parameter of each block, it outputs it to the quantization circuit 64.

[0030] The image data of one frame once held at the frame memory 62 is outputted from a frame memory 62 one by one, after the quantization parameter to each block is generated in the quantization parameter generation circuit 67.

And the DCT circuit 63 performs 2-dimensional discrete cosine conversion (DCT) per block to image data. DCT performs frequency analysis like the Fourier transform, and the transform coefficient after DCT is divided into AC multiplier from which the spatial frequency differs from DC multiplier corresponding to the pixel average and low frequency within a block to a RF. The quantization circuit 64 quantizes the transform coefficient of a block with the same quantization parameter according to the quantization parameter set up per block. However, when a certain specific quantization parameter is given to the information on low frequency in consideration of the vision property of human being that the detection sensibility of a twist is also low, to the information on a RF, AC multiplier of the low frequency of the transform coefficient after DCT is relatively fine, and AC multiplier of a RF quantizes coarsely relatively. Moreover, the fineness of quantization of DC multiplier presupposes that it is always fixed.

[0031] In the variable-length coding network 65, AC multiplier quantized in the quantization circuit 64 is turned and scanned from low frequency to a RF, and after generating the pair of the value (level) of the continuation number (run length) of a multiplier with the value of 0, and a multiplier with values other than zero, according to the Huffman coding table defined beforehand, Huffman coding of the pair is carried out to a variable-length sign. Since the probability of occurrence of the pair is so high that run length is short and level is small, the

code length corresponding to it is short, and code length is long in [that] being opposite. However, DC multiplier is dealt with apart from AC multiplier, and assignment of a fixed-length sign is performed. After the compressed data by which variable length coding was carried out is stored in buffer memory 66 by one frame, it is outputted as compressed data from an output terminal 66. However, the quantization parameter of each block is also inputted into buffer memory 66, and multiplex is carried out to compressed data.

[0032] Next, the 2nd example of this invention is explained. Drawing 5 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 2nd example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. the dynamic-image compression circuit shown in drawing 5 -- setting -- 20 -- for the **** generation circuit between the fields, and 31-32, as for the 1st image coding network and 40, an inter-frame **** generation circuit and 33 are [the image entry-of-data terminal of a HDTV signal, and 21-25 / the output terminal of two kinds of compressed data, and 30 / a data multiplex circuit and 37] the 2nd image coding network.

[0033] Actuation of the **** generation circuit 30 between the fields and the

inter-frame **** generation circuit 31-32 is the same as the case of the 1st example, to the image data of the HDTV signal inputted from an input terminal 21, takes the inter-frame sum and an inter-frame difference between the fields, and generates and outputs four kinds of pretreated signals. Since the pixel rate of these output signals is $1/4$ time the original HDTV signal, it is almost equal to the pixel rate of a present TV signal. The data compression of the sum and the "sum" signal which is the output of the inter-frame **** generation circuit 31 is carried out by the 1st image coding network 33. Since this configuration and actuation of the 1st of the image coding network 33 are the same as the case of the 1st example shown in drawing 4 and serve as a circuit which can process the pixel rate of a present TV signal for present TV signals, the sum and a "sum" signal can be processed.

[0034] Moreover, after multiplex [of the image data] is carried out per frame in the data multiplex circuit 40, the data compression of the remaining sum and "difference" signal, a difference and a "sum" signal, and a difference and a "difference" signal is carried out by 2nd image coding network 37 with the 1st another image coding network 33 corresponding to a present TV signal. The pixel rate of a multiple signal is $3/4$ time the original HDTV signal, and since it is higher than the pixel rate of a present TV signal, this 2nd image coding network 33 is the circuit which can process that high pixel rate. However, since it is easy

to carry out the data compression of the amplitude of other signals small compared with the sum and a "sum" signal from the first, rather than the 1st image coding network 33, the 2nd mode of processing and configuration of the image coding network 37 are easy, and are realized comparatively at a low price. Moreover, the data compression rate is set up more highly than the 1st image coding network 33.

[0035] Next, the 3rd example of this invention is explained. Drawing 6 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 3rd example of this invention. Although the whole digital video tape recorder configuration is the same as the case of the 1st example, the point of having realized not only record playback of a HDTV signal but record playback of a present TV signal is the description. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image compression circuit shown in drawing 6 , as for the image entry-of-data terminal of a present TV signal, and 20, the input terminal of a mode-of-operation signal which 28 shows HDTV signal-processing mode or present TV signal-processing mode, and 29 are [the image entry-of-data terminal of a HDTV signal and 41] data change circuits, and other signs show the same block as the case of the dynamic-image compression circuit of drawing 1 . The data change circuit 41 is

formed between the inter-frame **** generation circuit 31 and the image coding network 33.

[0036] In HDTV signal-processing mode, actuation of the **** generation circuit 30 between the fields and the inter-frame **** generation circuit 31-32 is the same as the case of the 1st example, and generates and outputs four kinds of pretreated signals from the image data of the HDTV signal inputted from an input terminal 20. Since the mode-of-operation signal inputted from an input terminal 28 at this time is "1", the sum and a "sum" signal are chosen in the data change circuit 41, and a data compression is given and carried out to the image coding network 33. Moreover, the data compression of three kinds of other pretreated signals is carried out by the image coding networks 34-36, respectively. Actuation of the picture compression circuits 33-36 is the same as the case of the 1st example. Compressed data is outputted from output terminals 21-24 here.

[0037] In present TV signal-processing mode, since a mode-of-operation signal is "0", the present TV signal inputted from the input terminal 29 is chosen in the data change circuit 41, and a data compression is given and carried out to the image coding network 33. However, since the image entry of data of the HDTV signal from an input terminal 20 does not exist, there is no output of the compressed data from output terminals 22-24, and compressed data is

outputted only from an output terminal 21.

[0038] Since the pixel rate of the sum and the "sum" signal of a HDTV signal, and a present TV signal is almost the same, the image coding network 33 which can process the pixel rate of a present TV signal for present TV signals can be switched and used.

[0039] Next, the 4th example of this invention is explained. Drawing 8 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 4th example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. For the image entry-of-data terminal of a HDTV signal, and 45 and 46, as for a field offset sampling circuit and 51, in the dynamic-image compression circuit shown in drawing 8 , the **** generation circuit between the fields, and 53 and 54 are [20 / the output terminal of compressed data and 50] image coding networks.

[0040] The field offset sampling circuit 50 thins out a pixel in one half so that the sampling pattern of the shape of a grid of the frame which consists of the 2 field may turn into a sampling pattern of the shape of an eye of 5 to the image data of the HDTV signal inputted from an input terminal 20. The situation of this processing is shown in drawing 10 . A pixel is arranged in the shape of a grid,

and one frame is constituted so that the image data of the HDTV signal inputted may be illustrated on the left of drawing 10 . In the field offset sampling circuit 50, the pixel of the frame of a grid-like sampling pattern is thinned out in one half, and the output signal of the sampling pattern of the shape of an eye of 5 is generated so that it may be illustrated on the right of drawing 10 . The pixel location of the odd number field shown by the continuous line and the round mark and the even number field shown by the broken line and the trigonum mark is in the condition that offset reached both the horizontal direction and the perpendicular direction. Although an input signal and the frame frequency of this output signal were unchanging, the number of pixels of one frame was reduced by 1/2.

[0041] To the output signal of the field offset sampling circuit 50, the **** generation circuit 51 between the fields takes the sum and the difference between the fields between the ***** 2 fields, and generates and outputs the sum signal between the fields, and the difference signal between the fields. The situation of this processing is shown in drawing 11 . A pixel is arranged in the shape of [of 5] an eye, and one frame is constituted so that an input signal may be illustrated on the left of drawing 11 . In the **** generation circuit 51 between the fields, in the direction of slant, the value of image data is added between the pixel of the ***** odd number field, and the pixel of the even number field, and

the sum signal between the fields illustrated at the upper right of drawing 11 is generated. It is the pixel of a sum signal which with a circle [white] showed. Moreover, the value of image data is subtracted similarly and the difference signal between the fields illustrated at the lower right of drawing 11 is generated. It is the pixel of a difference signal which the black dot showed. Although an input signal and the frame frequency of the output signal of the **** generation circuit 51 between the fields were unchanging respectively, the number of pixels of one frame was reduced by $1/2$. Therefore, compared with the original HDTV signal, the one-frame pixel number was reduced by $1/4$ time.

[0042] The above result, two kinds of pretreated signals are generated from the original HDTV signal, and the data compression of each is carried out by the image coding network 53-54. The image coding network 53 processes the sum signal between the fields, and the image coding network 54 processes the difference signal between the fields. Since the pixel rate of each signal is $1/4$ time the pixel rate of a HDTV signal, it is almost equal to the pixel rate of a present TV signal. Since the configuration and actuation of the image coding network 53-54 are the same as the case of the image coding network 33 in the 1st example and all serve as a circuit which can process the pixel rate of a present TV signal for present TV signals, the above-mentioned sum signal between the fields and the difference signal between the fields can be processed.

[0043] Next, the 5th example of this invention is explained. Drawing 9 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 5th example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image compression circuit shown in drawing 9, 52 shows the block as the case of the dynamic-image compression circuit of drawing 8 with the same sign of an inter-frame offset sampling circuit and others. The inter-frame offset sampling circuit 52 is formed instead of the field offset sampling circuit 50.

[0044] The inter-frame offset sampling circuit 52 thins out a pixel in one half horizontally per two frames to the image data of the HDTV signal inputted from an input terminal 20. The situation of this processing is shown in drawing 12. A pixel is arranged in the shape of a grid, and an odd frame and even frames are constituted so that the image data of the HDTV signal inputted may be illustrated on the left of drawing 12. In the inter-frame offset sampling circuit 52, the pixel of the frame of a grid-like sampling pattern is horizontally thinned out in one half, and the output signal of a grid-like sampling pattern is generated so that it may be illustrated on the right of drawing 10. However, the pixel location of an odd frame and even frames is in the condition that offset stuck horizontally. Although

an input signal and the frame frequency of this output signal were unchanging, the number of pixels of one frame was reduced by 1/2.

[0045] Actuation of the **** generation circuit 51 between the fields is the same as that of the case of the 4th example, the sum signal between the fields and the difference signal between the fields are generated, and the data compression of each is carried out by the image coding networks 53 and 54. Since the pixel rate of each signal is 1/4 time the pixel rate of a HDTV signal, it is almost equal to the pixel rate of a present TV signal. Since the configuration and actuation of the image coding networks 53 and 54 are the same as the case of the 4th example and all serve as a circuit which can process the pixel rate of a present TV signal for present TV signals, the above-mentioned sum signal between the fields and the difference signal between the fields can be processed.

[0046] Next, the 6th example of this invention is explained. Drawing 13 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 6th example of this invention. Although the whole digital video tape recorder configuration is the same as the case of the 4th example, the point of having realized not only record playback of a HDTV signal but record playback of a present TV signal is the description. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image

compression circuit shown in drawing 13 , as for the image entry-of-data terminal of a present TV signal, and 20, the input terminal of a mode-of-operation signal which 28 shows HDTV signal-processing mode or present TV signal-processing mode, and 29 are [the image entry-of-data terminal of a HDTV signal and 42] data change circuits, and other signs show the same block as the case of the dynamic-image compression circuit of drawing 8 . The data change circuit 42 is formed between the **** generation circuit 51 between the fields, and the image coding network 53.

[0047] In HDTV signal-processing mode, actuation of the field offset sampling circuit 50 and the **** generation circuit 53-54 between the fields is the same as the case of the 4th example, and generates and outputs two kinds of pretreated signals from the image data of the HDTV signal inputted. Since the mode-of-operation signal inputted from an input terminal 28 at this time is "1", the sum signal between the fields is chosen in the data change circuit 42, and a data compression is given and carried out to the image coding network 53. Moreover, the data compression of the difference signal between the fields is carried out by the image coding network 54. Actuation of the picture compression circuit 53-54 is the same as the case of the 4th example. Compressed data is outputted from an output terminal 45-46 here. In present TV signal-processing mode, since a mode-of-operation signal is "0", the present TV

signal inputted from the input terminal 29 is chosen in the data change circuit 42, and a data compression is given and carried out to the image coding network 53. However, since the image entry of data of the HDTV signal from an input terminal 20 does not exist, there is no output of the compressed data from an output terminal 46, and compressed data is outputted only from an output terminal 45.

[0048] Since the pixel rate of the sum signal between the fields of the image data of a HDTV signal and a present TV signal is almost the same, the image coding network 53 which can process the pixel rate of a present TV signal for present TV signals can be switched and used.

[0049] Next, the 7th example of this invention is explained. Drawing 14 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 7th example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. the dynamic-image compression circuit shown in drawing 14 -- setting -- 20 -- as for an inter-frame **** generation circuit, and 43 and 44, for a field offset sampling circuit and 51, the **** generation circuit between the fields and 31-32 are [the image entry-of-data terminal of a HDTV signal, and 47-48 / the output terminal of

compressed data, and 50 / a data multiplex circuit and 38-39] image coding networks.

[0050] The field offset sampling circuit 50 reduces the number of pixels in one half by field offset sampling to the image data of the HDTV signal inputted from an input terminal 20. The actuation is the same as the case of the 4th example. Although an input signal and the frame frequency of this output signal were unchanging, the number of pixels of one frame was reduced by 1/2. And from the output signal of the field offset sampling circuit 50, four kinds of pretreated signals are generated by the **** generation circuit 51 between the fields, and the inter-frame **** generation circuit 31-32, and it is outputted. Actuation of the **** generation circuit 51 between the fields is the same as the case of the 4th example, and actuation of the inter-frame **** generation circuit 31-32 is the same as the case of the 1st example. As for this pretreated signal, the frame frequency and one-frame pixel number was also reduced by 1/2 to the input signal, respectively. Therefore, the pixel rate of each signal will be 1/8 time the original HDTV signal. The data multiplex circuit 43 carries out data multiplex [of the sum and "sum" signal, and the sum and the "difference" signal which are the output of the inter-frame **** generation circuit 31] per frame. Moreover, the data multiplex circuit 44 carries out data multiplex [of the difference and "sum" signal, and the difference and the "difference" signal which are the output of the

inter-frame **** generation circuit 32] per frame similarly.

[0051] The above result, two kinds of signals are generated from the image data of the original HDTV signal, and the data compression of each is carried out by the image coding networks 38 and 39. The image coding network 38 processes the output signal of the data multiplex circuit 43, and the image coding network 39 processes the output signal of the data multiplex circuit 44. Since the pixel rate of each signal is 1/4 time the pixel rate of a HDTV signal, it is almost equal to the pixel rate of a present TV signal. Since the configuration and actuation of the image coding networks 38 and 39 are the same as the case of the image coding network 33 in the 1st example and all serve as a circuit which can process the pixel rate of a present TV signal for present TV signals, each above-mentioned multiple signal can be processed.

[0052] Next, the 8th example of this invention is explained. Drawing 15 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 8th example of this invention. Although the whole digital video tape recorder configuration is the same as the case of the 1st example, the point of having realized not only record playback of a HDTV signal but record playback of a present TV signal is the description. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image

compression circuit shown in drawing 15 , as for the image entry-of-data terminal of a present TV signal, and 20, the input terminal of a mode-of-operation signal which 28 shows HDTV signal-processing mode or present TV signal-processing mode, and 29 are [the image entry-of-data terminal of a HDTV signal and 49] data change circuits, and other signs show the same block as the case of the dynamic-image compression circuit of drawing 14 . The data change circuit 49 is formed between the data multiplex circuit 43 and the image coding network 38.

[0053] In HDTV signal-processing mode, actuation of the field offset sampling circuit 50, the **** generation circuit 51 between the fields, and the inter-frame **** generation circuit 31-32 is the same as the case of the 7th example, and generates and outputs four kinds of pretreated signals from the image data of the HDTV signal inputted. And actuation of the data multiplex circuit 43-44 is the same as the case of the 7th example, and two kinds of multiple signals are generated. Since the mode-of-operation signal inputted from an input terminal 28 at this time is "1", the output signal of the data multiplex circuit 43 is chosen in the data change circuit 49, and a data compression is given and carried out to the image coding network 38. Moreover, the data compression of the output signal of the data multiplex circuit 44 is carried out by the image coding network 39. Actuation of the image coding network 38-39 is the same as the case of the 7th example. Compressed data is outputted from an output terminal 47-48 here.

In present TV signal-processing mode, since a mode-of-operation signal is "0", the present TV signal inputted from the input terminal 29 is chosen in the data change circuit 49, and a data compression is given and carried out to the image coding network 38. However, since the image entry of data of the HDTV signal from an input terminal 20 does not exist, there is no output of the compressed data from an output terminal 48, and compressed data is outputted only from an output terminal 47.

[0054] Since the pixel rate of the output signal from the data multiplex circuit 43 and a present TV signal is almost the same, the image coding network 38 which can process the pixel rate of a present TV signal for present TV signals can be switched and used.

[0055] Next, the 9th example of this invention is explained. Drawing 16 is the detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 9th example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image compression circuit shown in drawing 16, 70 is an amount-of-information quota circuit, 73-76 are image coding networks, and other signs show the same block as the case of the dynamic-image compression

circuit of drawing 1 .

[0056] Actuation of the **** generation circuit 30 between the fields and the inter-frame **** generation circuit 31-32 is the same as the case of the 1st example, and generates and outputs four kinds of pretreated signals from the image data of the HDTV signal inputted. And the data compression of each pretreated signal is carried out by the image coding networks 73-76. Moreover, each pretreated signal is given to coincidence in the amount-of-information quota circuit 70, and the amount-of-information quota circuit 70 determines four kinds of quota amount of information per frame, and outputs it to the image coding networks 73-76 as a target amount-of-data signal. The magnitude of the amplitude of each pretreated signal changed with the magnitude of a motion of a HDTV image or the fineness of a pattern is measured, and these quota amount of information is generated. Therefore, in case the data compression of the HDTV signal is carried out using the image coding networks 73-76 for present TV signals, the amount-of-information assignment which was adapted for a motion of a HDTV image or the fineness of a pattern can realize high definition-ization.

[0057] Drawing 17 is the detail block diagram of the image coding network 73 in drawing 16 . The image coding networks 74-76 are also the same configurations as the image coding network 73 shown in drawing 17 . In the image coding

network 73 shown in drawing 4 , 68 is the input terminal of a target amount-of-data signal, 69 is a quantization parameter generation circuit, and other signs show the same block as the case of the image coding network of drawing 4 . The point that a target amount-of-data signal is inputted into the quantization parameter generation circuit 69 is the description.

[0058] After the image data inputted from the input terminal 60 is stored in a frame memory 62 by one frame, the data compression of it is carried out by the DCT circuit 63, the quantization circuit 64, and the variable-length coding network 65. And after compressed data is stored in buffer memory 66 by one frame, it is outputted from an output terminal 66. The above actuation is the same as the case of the image coding network of drawing 4 .

[0059] In addition, the quantization parameter generation circuit 69 calculates the activity of each block which constitutes one inputted frame, and the activity of a frame, and it determines the quantization parameter of each block so that the amount of compressed data of one frame may be doubled with the target amount of data. However, differing from the case of the image coding network of drawing 4 is the point of changing the target amount of data according to the target amount-of-data signal inputted from an input terminal 68. Fundamentally, when the target amount of data is large, a quantization parameter is controlled by the small value and quantization becomes fine. Moreover, conversely, when

the target amount of data is small, a quantization parameter is controlled by the big value and quantization becomes coarse.

[0060] The example of the quota amount of information per [which is generated by drawing 18 in the amount-of-information quota circuit 70] frame is shown.

The example in the case of the fine still picture of the pattern which does not almost have a motion is shown in the trigonum mark. In this case, since there is almost no change of an image in all frames, the amplitude of the sum and a "difference" signal, and a difference and a "difference" signal which is an inter-frame difference signal is very small compared with the sum and a "sum" signal, or a difference and a "sum" signal. However, since the difference signal between the fields is a difference signal of vertical Rhine which adjoins within a frame as shown in drawing 2 , when a pattern is fine, it cannot be said that the amplitude of a difference and a "sum" signal is small. Therefore, it assigns as the trigonum mark of drawing 18 , and amount of information is decided. Next, a round mark shows the example in the to some extent big image of a motion. In this case, under the effect of a motion, since change of an image is large in all the fields, the amplitude of four kinds of pretreated signals becomes comparatively near. Therefore, it assigns as the round mark of drawing 18 , and amount of information is decided.

[0061] Finally, the 10th example of this invention is explained. Drawing 19 is the

detail block diagram of the dynamic-image compression circuit of the digital video tape recorder which is the 10th example of this invention. The whole digital video tape recorder configuration is the same as the case of the 1st example. In addition, explanation is omitted about the configuration and actuation of a dynamic-image expanding circuit which perform reverse processing. In the dynamic-image compression circuit shown in drawing 19 , 71 is an amount-of-information quota circuit, 77 and 78 are image coding networks, and other signs show the same block as the case of the dynamic-image compression circuit of drawing 8 .

[0062] Actuation of the field offset sampling circuit 50 and the **** generation circuit 51 between the fields is the same as the case of the 4th example, and after it reduces the number of pixels in one half by field offset sampling to the image data of the HDTV signal inputted, it generates and outputs the sum signal between the fields, and the difference signal between the fields. And the data compression of each pretreated signal is carried out by the image coding network 77-78. Moreover, a pretreated signal is given to coincidence in the amount-of-information quota circuit 71, and the amount-of-information quota circuit 71 determines two kinds of quota amount of information per frame, and outputs it to the image coding network 77-78 as a target amount-of-data signal.

The magnitude of the amplitude of each pretreated signal changed with the

magnitude of a motion of a HDTV image or the fineness of a pattern is measured, and these quota amount of information is generated. Therefore, in case the data compression of the HDTV signal is carried out using the image coding network 77-78 for present TV signals, the amount-of-information assignment which was adapted for a motion of a HDTV image or the fineness of a pattern can realize high definition-ization.

[0063] in addition, the amount-of-information assignment which added the same amount-of-information quota circuit as these [9th] and the 10th example, and was adapted for a motion of an image or the fineness of a pattern to the 3rd or the 6th and 8th example -- high definition -- the digital video tape recorder corresponding to both a-izing present TV signal and a HDTV signal is realizable.

[0064] In the above, the example of this invention was explained in detail. In addition, as mode of processing of an offset sampling, you may differ from the field offset sampling and inter-frame offset sampling which were explained. Moreover, although a circuit scale increases somewhat in the case of an offset sampling, it is effective, if a pre air filter is prepared in order to prevent clinch active jamming of a high frequency component. The sequence of processing of the offset sampling in pretreatment, the **** generation between the fields, and inter-frame **** generation may differ from the explained example.

[0065] Even if it is not a thing using DCT as mode of processing of image coding

to a signal [finishing / pretreatment], this invention is applicable similarly. It cannot be overemphasized that this invention is applicable as a video signal in various cases, such as a color signal which consists of a luminance signal and two kinds of color-difference signals. In that case, the subsample of the color-difference signal may be carried out to the luminance signal. Furthermore, this invention is applicable not only to the record playback to a magnetic tape but the record playback to an optical disk, transmission by the data telecommunication line, etc.

[0066]

[Effect of the Invention] According to this invention, after performing pretreatment which combined at least two kinds of processings to a HDTV signal out of the **** generation between the fields, inter-frame **** generation, and an offset sampling, by performing a data compression in the processing circuit of image coding, the processing circuit of image coding for present TV signals can be diverted, and the digital video tape recorder which carries out record playback of the HDTV signal can be realized at a low price.

[0067] Furthermore, the digital video tape recorder which switches a present TV signal and a HDTV signal and performs record playback is realizable at a low price by choosing one of the signal after performing the above-mentioned pretreatment to a HDTV signal, and the present TV signals, and performing a

data compression in the processing circuit of image coding for present TV signals.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 1st example of this invention.

[Drawing 2] It is the conceptual diagram showing actuation of the **** generation circuit between the fields in the dynamic-image compression circuit of drawing 1 .

[Drawing 3] It is the conceptual diagram showing actuation of the inter-frame **** generation circuit in the dynamic-image compression circuit of drawing 1 .

[Drawing 4] It is the detailed block diagram of the image coding network in the dynamic-image compression circuit of drawing 1 .

[Drawing 5] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 2nd example of this invention.

[Drawing 6] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 3rd example of this invention.

[Drawing 7] It is the block diagram showing the whole digital video tape recorder configuration which is the example of this invention.

[Drawing 8] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 4th example of this invention.

[Drawing 9] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 5th example of this invention.

[Drawing 10] It is the conceptual diagram showing actuation of the field offset sampling circuit in the dynamic-image compression circuit of drawing 8 .

[Drawing 11] It is the conceptual diagram showing actuation of the **** generation circuit between the fields in the dynamic-image compression circuit of drawing 8 .

[Drawing 12] It is the conceptual diagram showing actuation of the inter-frame offset sampling circuit in the dynamic-image compression circuit of drawing 9 .

[Drawing 13] It is the block diagram of the dynamic-image compression circuit in

the digital video tape recorder which is the 6th example of this invention.

[Drawing 14] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 7th example of this invention.

[Drawing 15] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 8th example of this invention.

[Drawing 16] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 9th example of this invention.

[Drawing 17] It is the detailed block diagram of the image coding network in the dynamic-image compression circuit of drawing 16 .

[Drawing 18] It is the conceptual diagram showing actuation of the amount-of-information quota circuit in the dynamic-image compression circuit of drawing 16 .

[Drawing 19] It is the block diagram of the dynamic-image compression circuit in the digital video tape recorder which is the 10th example of this invention.

[Description of Notations]

30-51 [-- A field offset sampling circuit, 52 / -- 33-39, 53-54, 73-78 / -- An image coding network, 70-71 / -- Amount-of-information quota circuit.] -- The **** generation circuit between the fields, 31-32 -- An inter-frame **** generation circuit, 41-42-49 -- A data change circuit, 50 [an inter-frame offset sampling circuit,]